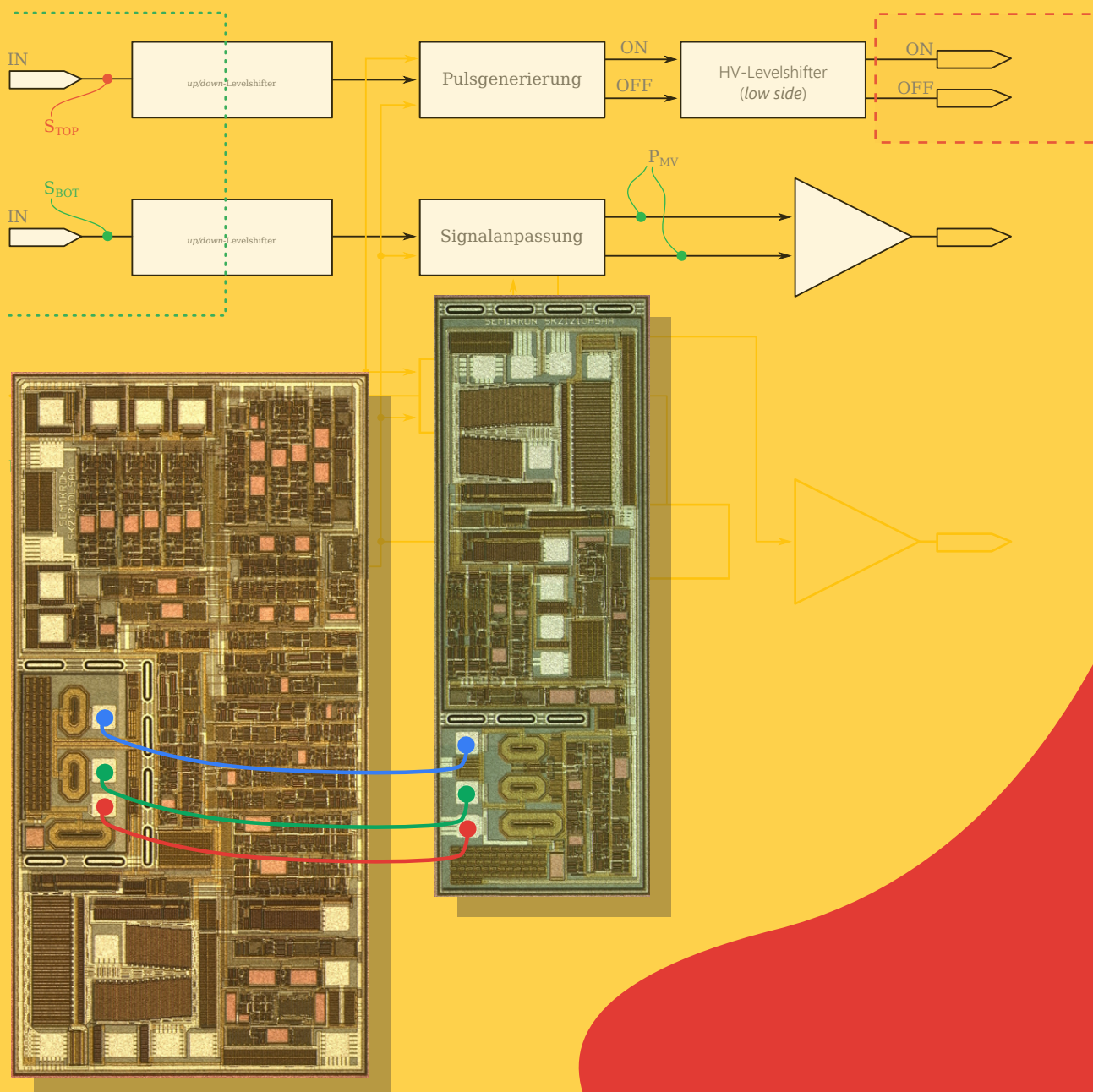


Integrierte Ansteuer- und Schutzschaltungen für schnell schaltende Leistungsbaulemente für hohe Spannungen



Integrierte Ansteuer- und Schutzschaltungen für schnell schaltende Leistungsbaulemente für hohe Spannungen

Dissertation

zur Erlangung des akademischen Grades Doktoringenieur (Dr.-Ing)

vorgelegt der

Fakultät für Elektrotechnik und Informationstechnik



**TECHNISCHE UNIVERSITÄT
ILMENAU**

vorgelegt von

Dipl.-Ing. Iyeed Mayya

Gutachter:

Priv.-Doz. Dr.-Ing. habil. Reinhard Herzer Technische Universität Ilmenau

Univ.-Prof. Dr. phil. nat. i. R. Dieter Silber Universität Bremen

Univ.-Prof. Dr.-Ing. Tobias Reimann Technische Universität Ilmenau

eingereicht am: 20. 01. 2015

Verteidigung am: 27. 11. 2015

URN: urn:nbn:de:gbv:ilm1-2015000532

Kurzfassung

Verschiedene neue Leistungsbaulemente auf Basis von *wide-bandgap*-Materialien wie Siliziumkarbid (SiC) und Galliumnitrid (GaN) sind in den letzten Jahren mit unterschiedlichen Wirkprinzipien für Spannungen bis zu 1700 V auf den Markt gekommen. Die positiven Eigenschaften der Bauelemente können nur durch geeignete Treiberkonzepte ausgenutzt werden, die neben der optimalen Ansteuerung auch den Schutz für diese Bauelemente gewährleisten.

In dieser Arbeit werden das Konzept, der Entwurf sowie die Verifizierung von vollintegrierten Gatetreiber-ICs für die Ansteuerung von SiC-Leistungstransistoren (verschiedene JFET, MOSFET) der Spannungsklasse bis 1200 V vorgestellt. Zunächst werden die Vorteile der *wide bandgap*-Materialien und ihr Potential für Leistungsbaulemente im Vergleich zum Silizium behandelt. Danach werden neue SiC-Transistoren (lateraler und vertikaler JFET, MOSFET) mit ihren Strukturen vorgestellt, statisch und dynamisch untersucht und die Messergebnisse verglichen und bewertet. Weiterhin werden ausführliche Betrachtungen zur Ansteuerung und Überwachung von *normally-off* SiC-MOSFETs und *normally-on* SiC-JFETs, letztere u. a. in Standard-Kaskode- und Kaskode-Light-Topologie, vorgenommen. Auf dieser Basis werden die Konzepte und Parameter der angestrebten Treiber-ICs abgeleitet.

Zur Umsetzung der integrierten Treiber werden mögliche PN-isolierte und dielektrisch-isolierte Halbleitertechnologien vorgestellt und diskutiert. Eine sehr vorteilhafte SOI-Technologie wurde für die praktischen Realisierungen in dieser Arbeit ausgewählt.

Beim Entwurf der verschiedenen Gatetreiber-ICs für *normally-off* und verschiedene *normally-on* SiC-Baulemente werden sowohl die Gesamtkonzepte der Gatetreiber-ICs als auch neu- und weiterentwickelte Teilschaltungen vorgestellt und simuliert. Wichtige, neu entwickelte Schaltungskonzepte wie die negative Abschaltspannung und der erweiterte Betriebsspannungsbereich ($-20\text{ V} \dots +20\text{ V}$) werden besonders ausführlich behandelt. Die Layouts der verschiedenen Versionen der Gatetreiber-ICs und die daraus resultierenden Chips mit ihren Abmessungen und Hauptmerkmalen werden gezeigt.

Die entwickelten Teil- und Gesamtschaltungen der verschiedenen Treiber-ICs werden messtechnisch charakterisiert. Dabei werden die wichtigsten Niederspannungs-, Hochspannungs- und Umrichtermessungen ausführlich dargestellt und diskutiert.

Abstract

Several power devices based on wide bandgap materials -such as silicon carbide (SiC) and gallium nitride (GaN) - were commercially released in the last few years for high voltage applications up to 1700 V. The advantages of these devices can only be achieved with an adapted gate driver, which should ensure not only the optimal control but also the monitoring and the protection of these new power devices.

This thesis presents the conception, design and verification of fully integrated gate driver ICs for driving SiC-transistors (JFETs, MOSFETs) of high voltage applications up to 1200 V. At the beginning, the advantages of the wide bandgap materials and their potential for power devices are discussed in comparison to silicon. Then several new 1200 V SiC-transistors (MOSFETs, JFETs) of various suppliers are investigated statically and dynamically under the same conditions and compared. Furthermore, the effective control and monitoring of normally off SiC-MOSFETs and normally on SiC-JFETs, the last in standard Cascode- and Cascode-Light-topology, are considered and discussed. Based on this the required gate driver concepts and parameters are derived.

PN- and dielectric-insulated semiconductor technologies are presented and discussed for the integration of the gate driver. A very advantageous SOI-technology is chosen for the physical realization of the gate drivers.

The overall concepts of the gate drivers and new and improved sub-circuits are described and simulated in the design phase. The important and new developed circuit concepts such as the negative turn off voltage and the extended operation voltage range are discussed in detail. The various gate driver IC layouts and the resulting chips with their dimensions and main features are presented.

The developed sub-circuits and complete driver ICs are verified by extensive measurements. The most significant low and high voltage measurements and a power inverter test are presented and discussed.

Danksagung

An dieser Stelle möchte ich mich bei allen, die diese Arbeit direkt oder indirekt unterstützt haben, herzlich bedanken. Mein besonderer Dank gilt den folgenden genannten Personen, Institutionen bzw. Unternehmen.

An erster Stelle möchte ich Herrn PD Dr.-Ing. habil. R. Herzer von der Firma Semikron Elektronik GmbH für die umfassende Betreuung der Arbeit durch seine fachliche Hinweise und zahlreiche Diskussionen sowie das familiäre Arbeitsklima recht herzlich danken.

Herrn Prof. Dr. phil. nat. D. Silber von der Universität Bremen und Herrn Prof. Dr.-Ing. T. Reimann von der TU Ilmenau danke ich für die Übernahme der Gutachten.

Mein besonderer Dank gilt Herrn Dr.-Ing. Bastian Vogler für die hilfreichen Gespräche, Ideen und Hinweise sowie die Korrekturen zum Manuskript.

Herrn Dipl.-Ing. J. Lehmann möchte ich recht herzlich für die fachliche Ideen, Ratschläge und Hinweise sowie das familiäre Arbeitsklima danken. Ebenso möchte ich Herrn Dipl.-Ing. M. Roßberg für viele wertvolle Hinweise und die ständige Wartung des Betriebssystems bzw. der Software danken. Weiterhin geht mein Dank an Frau S. Becker, Herrn S. Bütow und den Mitarbeitern des Fachgebietes Festkörperelektronik.

Für die große und vielfältige Unterstützung danke ich meiner Familie, meiner Frau Mirna und der kleinen Zena.

In besonderer Weise danke ich der Firma Semikron Elektronik GmbH und der Tishreen Universität (Syrien) für die Förderung während meines Promotionsstudiums.

Inhaltsverzeichnis

1	Einleitung	1
2	Einführung in <i>wide bandgap</i> Materialien, Bauelemente und Treiber	5
2.1	Silizium und <i>wide bandgap</i> -Materialien	5
2.2	Neue Bauelemente, neue Anforderungen	8
2.3	SiC-Leistungstransistoren, Stand der Technik	12
2.4	Statisches und dynamisches Verhalten der SiC-Leistungstransistoren . .	16
2.4.1	Statisches Verhalten	17
2.4.2	Dynamisches Verhalten	21
2.4.3	Umrichterverhalten	25
2.5	Betrachtungen zu den Ansteuerungen der SiC-Leistungsbaulemente . .	26
2.5.1	SiC-MOSFET	26
2.5.2	SiC-JFET	27
2.5.3	Standard-Kaskode	29
2.5.4	Kaskode-Light Konzept	33
2.6	Historie der Treiberentwicklung für SiC-Bauelemente	37
2.7	Ableitung der Treiberparameter für die eigene Entwicklung	39
2.8	Universeller Gatetreiber auf Leiterplatte für SiC-Bauelementecharakterisierungen	42
3	Auswahl der notwendigen Technologie	45
3.1	PN-isolierte und dielektrisch-isolierte Technologien, Überblick	45
3.2	Die verwendete Isolationstechnologie	48
4	Entwickelte Gatetreiber	51
4.1	Gatetreiber der Kaskode-Light	51
4.2	Grenzen der ausgewählte Technologie	55
4.3	MV- und HV-Levelshifter	56
4.4	BOT-Sekundärseite	60

4.5	TOP-Sekundärseite	62
4.6	Neue entworfenen Funktionsblöcke und modifizierte Zellen	63
4.6.1	Signalanpassungsblock	64
4.6.2	Erweiterung des Signalanpassungsblocks	72
4.6.3	Fehlerverarbeitung in BOT- und TOP-Sekundärseite	74
4.6.4	<i>Bandgap</i> -Referenz	78
4.7	Versionen des Gatetreibers	80
4.8	Gatetreiberkonzept für <i>normally-off</i> Bauelemente	81
5	Aufbautechnik, IC-Layout	83
5.1	Aufbautechnik	83
5.2	IC-Layout	83
6	Messungen und Diskussion	87
6.1	Niederspannungscharakterisierung	87
6.1.1	Messung von Signallaufzeiten und Querverrieglung	87
6.1.2	Messung der Kurzimpulsunterdrückung	88
6.1.3	Messung der Gateabschaltspannungs- bzw. Betriebsspannungs- überwachung	89
6.1.4	Messung der Stromaufnahme	90
6.2	Messungen unter Hochspannungsbedingungen	91
6.2.1	Messungen des Schaltverhaltens bei $I_{\text{nom}}=20\text{ A}$	91
6.2.2	Umrichterbetrieb	95
6.3	Verbesserung des Freilaufvorgangs in Kaskode-Schaltung	96
6.4	Fehlerszenario bei der Kaskode-Light	98
6.5	Möglichkeit des Einsatzes des PMOS-Transistors für Kurzschlussüber- wachung	100
7	Zusammenfassung	103
	Literaturverzeichnis	111
	Abbildungsverzeichnis	129
	Tabellenverzeichnis	131
	Abkürzungsverzeichnis und Formelzeichen	133
A	Informationstabellen	143

1 Einleitung

Geringere Verluste, höhere Systemzuverlässigkeit, höhere Leistungsdichte, Betriebsbedingungen (Temperatur, Feuchtigkeit) und bessere Kühlung sowie die Integration zusätzlicher Funktionen repräsentieren die Hauptanforderungen an effiziente Leistungssysteme. Diese Anforderungen werden durch den stetig steigenden Einsatz der Leistungselektronik im täglichen Leben immer anspruchsvoller, das heißt für die Komponenten des Leistungssystems bessere Performance unter härteren Bedingungen zu bieten. Für Leistungssysteme der Spannungsklasse bis 1200 V, die hier in dieser Arbeit weitgehend betrachtet werden, war die revolutionäre Entwicklung des *Insulated Gate Bipolar Transistor* (IGBT) seit Anfang der 90-iger Jahre und seine kontinuierliche Verbesserung ein wichtiger Schritt in Richtung effizienterer Leistungssysteme. Dabei konnte man sich für hohe Spannungen bei gleichzeitig niedrigen Durchlass- und Schaltverlusten sowie mit höheren Betriebstemperaturen den physikalischen Grenzen des Siliziums annähern.

Das hohe Potential der *wide bandgap*-Materialien als Halbleiter für die Leistungselektronik ist lange bekannt. Andererseits haben viele technische und technologische Probleme (hohe Defektdichten, kleine Waferdurchmesser, hohe Kosten) den Einsatz der Materialien behindert. In den letzten 10 Jahren konnten allerdings wichtige Verbesserungen erzielt werden, so dass verschiedene Leistungsbaulemente auf Basis der *wide bandgap*-Materialien kommerziell freigegeben wurden. Die neuen Bauelemente, wie z. B. SiC-Schottky-Freilaufdioden und erste SiC-Transistoren (JFET, MOSFET) können dank ihre Eigenschaften die Performance und die Effizienz der leistungselektronischen Systeme bedeutend verbessern.

Die Nutzung der positiven Eigenschaften der neuen Bauelemente kann nur gelingen, wenn Ansteuer- und Überwachungsschaltungen auf sie abgestimmt werden. Dabei spielt der Gatetreiber eine wichtige Rolle, um die Systeme unter allen Bedingungen effizient und sicher zu machen. Dieser Aufgabe stellt sich die vorliegende Dissertation.

Im Rahmen der Arbeit werden neue Transistoren auf Basis von Siliziumkarbid (SiC) vorgestellt, charakterisiert und verglichen, Treiberanforderungen abgeleitet und schließlich integrierte Gatetreiber entwickelt, realisiert sowie messtechnisch charakterisiert.

Beginnend im zweiten Kapitel wird zunächst das Potential der *wide bandgap*-Materialien für die Leistungselektronik im Vergleich zum Silizium sowie die mögliche Etablierung der neuen Materialien gezeigt. Danach schließt sich die Vorstellung der heute am Markt verfügbaren SiC- und GaN-Bauelemente an. Es werden die verschiedenen Strukturen mit ihren unterschiedlichen Wirkprinzipien, die Unterschiede zueinander sowie die Vor- und Nachteile diskutiert. Hier wird besonders auf das Funktionsprinzip der *normally-on* Bauelemente eingegangen. Im weiteren Verlauf wird das statische und dynamische Verhalten der neuen Bauelemente messtechnisch untersucht und dargestellt. Dabei werden wichtige Ansteuerinformationen, wie z. B. das Erreichen eines niedrigen $R_{DS,on}$ -Wertes, das Verhalten bei höheren Temperaturen, das Verhalten im Freilaufvorgang und das Verhalten bei Überströmen bzw. im Kurzschluss, gewonnen. Für die dynamischen Messungen wurde auch ein universeller hybrider Gatetreiber (*printed circuit board* (PCB)) entwickelt.

Weiterhin werden im zweiten Kapitel ausführliche Betrachtungen zur Ansteuerung von *normally-off* SiC-MOSFETs und *normally-on* SiC-JFETs vorgenommen. Im Rahmen der Ansteuerung der *normally-on* Bauelemente wird auf die möglichen Lösungen wie Standard-Kaskode und Kaskode-Light ausführlich eingegangen und die Vor- und Nachteile diskutiert. Mögliche zusätzliche Erkenntnisse und Ideen werden aus dem Studium und der Diskussion von Ansteuerschaltungen von SiC-Bauelementen aus Veröffentlichungen in der Vergangenheit gewonnen. Abschließend werden aus den Erkenntnissen der Literatur und den eigenen Untersuchungen die Anforderungen und Parameter für die eigene Gatetreiber-IC-Entwicklung abgeleitet.

Im dritten Kapitel werden verschiedene PN-isolierte und dielektrisch-isolierte Halbleitertechnologien vorgestellt und diskutiert. Schwerpunkt ist dabei auch die Herausstellung und Begründung der Vorteile der Technologie, die für die Realisierung der eigenen Ideen und Aufgaben eingesetzt wurde.

Das vierte Kapitel beschäftigt sich mit dem Entwurf der verschiedenen Gatetreiber-ICs für *normally-off* und verschiedene *normally-on* SiC-Bauelemente (SiC-MOSFET, SiC-JFET). Dabei werden sowohl die Gesamtkonzepte der Gatetreiber-ICs als auch neu- und weiterentwickelte Teilschaltungen vorgestellt und simuliert. Wichtige neu-entwickelte Schaltungskonzepte wie die negative Abschaltspannung sowie der erwei-

terte Betriebsspannungsbereich ($-20\text{ V} \dots +20\text{ V}$) werden besonders ausführlich behandelt. Damit sind zum ersten Mal Gatetreiber mit negativen Betriebsspannungen in der vollständigen Integration möglich. Dies ist eine notwendige Voraussetzung für die Ansteuerung von *normally-on* Bauelementen aber auch für leistungsstarke *normally-off* Bauelemente (SiC-MOSFET, Si-IGBT) für die eine negative Abschaltspannung zur Verhinderung von Querströmen in der Halbbrücke zwingend notwendig ist. Nicht zuletzt werden Gatetreiber-ICs entwickelt und vorgestellt, die neben der Ansteuerung der *normally-on* SiC-Hochspannungsbaulemente auch die Ansteuerung der Niederspannungs-MOSFET-Bauelemente in der Standard-Kaskode bzw. der Kaskode-Light ermöglichen.

Die Layouts der verschiedenen Versionen der Gatetreiber-ICs und die daraus resultierenden Chips mit ihren Abmessungen und Hauptmerkmalen werden im fünften Kapitel vorgestellt. Weiterhin wird gezeigt, wie die Chips in den Gehäusen unter Berücksichtigung der Isolationsfestigkeit platziert und miteinander verbunden werden bzw. die Isolation für die Boardmontage erreicht wird.

Das sechste Kapitel beschäftigt sich weitgehend mit der messtechnischen Charakterisierung der entwickelten Teil- und Gesamtschaltungen der verschiedenen Treiber-ICs. Dabei wird mit den wichtigsten Niederspannungsmessungen begonnen, bevor der Schaltbetrieb und der Umrichterbetrieb unter Hochspannungsbedingungen dargestellt und diskutiert wird. Abschließend werden spezifische Probleme wie der Freilaufvorgang und das Fehlerszenario in der Kaskode sowie der Einsatz des Niederspannungs-PMOS-Transistors zur Kurzschlussüberwachung behandelt.

Eine Zusammenfassung der gesamten Arbeit wird im siebten und letzten Kapitel gegeben.

2 Einführung in *wide bandgap* Materialien, Bauelemente und Treiber

2.1 Silizium und *wide bandgap*-Materialien

Für hohe Spannungen, bei gleichzeitig niedrigen Durchlass- und Schaltverlusten, sowie für höhere Betriebstemperaturen, wo das Silizium (Si) als Halbleitermaterial für Leistungsbauelemente zunehmend an seine physikalischen Grenzen stößt, ergibt sich die Notwendigkeit nach Alternativen zu suchen. Hier präsentieren sich *wide bandgap*-Materialien wie Siliziumkarbid (SiC) und Galliumnitrid (GaN) als erstklassige Alternativlösungen. Mit ihren herausragenden physikalischen Eigenschaften sind diese Materialien derzeit ein Schwerpunkt der Forschung und Entwicklung weltweit. Trotz allen Fortschritten in den letzten Jahren, sowie bereits ersten Applikationen konnten sich die Materialien noch nicht für die Massenfertigung von Leistungsbauelementen etablieren, was auf die hohen Kosten für Material und Herstellung und die sinkende Ausbeute bei großen Chips (Grund ist die Defektdichte) zurückzuführen ist.

Nachdem SiC-Dioden bereits mehrere Jahre in hochfrequenten Applikationen zum Einsatz kommen, läuft derzeit die kommerzielle Freigabe verschiedener aktiver Bauelemente auf Basis von SiC und GaN. Auch hier stehen hochfrequenter Anwendungen für die Stromversorgung (*Switched Mode Power Supply (SMPS)*), dc/dc-Wandler, Solarumrichter sowie Anwendungen für Hybrid- und Elektrofahrzeuge im Mittelpunkt.

Die Vorteile der *wide bandgap*-Materialien für leistungselektronische Bauelemente ergeben sich entsprechend Tabelle 2.1 aus der höheren Durchbruchfeldstärke, der höheren Geschwindigkeitssättigung für Elektronen sowie der höheren Wärmeleitfähigkeit (nur SiC). Ein weiterer Vorteil, der sich aus der größeren Bandlücke ergibt, ist die höhere Betriebstemperatur.

Eigenschaften	Einheit	Si	4H-SiC	6H-SiC	GaN
Bandlücke, E_g	eV	1,11	3,26	3	3,39
Durchbruchfeldstärke F_c	MV/cm	0,24 0,3 0,28	2,26 2 2,2	2,4 2,2	3,3
Geschwindigkeitssättigung des Elektrons, v_{sat}	$10^7 V/cm$	1	2	1,9	2,5
Elektronenbeweglichkeit, μ_n	cm^2/Vs	1350	800 ($\perp c$) 1000 ($\parallel c$)	500 ($\perp c$) 90 ($\parallel c$)	*1250
Löcherbeweglichkeit, μ_p	cm^2/Vs	450	120	80	200
dielektrische Konstante, ϵ_r		11,8	9,7	10	8,9
intrinsische Trägerdichte, n_i	cm^{-3}	$1,4 \cdot 10^{10}$	$8,2 \cdot 10^{-9}$	$2,3 \cdot 10^{-6}$	$1,9 \cdot 10^{-10}$
Wärmeleitfähigkeit, K	w/cmK	1,5	4,9	4,9	1,3
Schmelzpunkt	$^{\circ}C$	1400	2700	2700	2500
Art der Bandlücke	-	indirekt	indirekt	indirekt	direkt

Tabelle 2.1: Vergleich zwischen physikalischen Eigenschaften von Si, SiC und GaN nach [1, S. 302], [2, S.189];

*bis zu $2000 cm^2/Vs$ bei zweidimensionalem Elektronengas (2DEG)

Entsprechend Gleichung 2.1 steigt die intrinsische Trägerdichte mit steigender Temperatur exponentiell an, wobei k die Boltzmann Konstante sowie N_C und N_V die Zustandsdichten im Leitungsband bzw. Valenzband sind [3, S.10].

$$n_i^2 = N_C \cdot N_V \cdot e^{-\frac{E_g}{k \cdot T}} \quad (2.1)$$

Dies führt zu einem kleineren Widerstand (negativer Temperaturkoeffizient (TK)) für das Bauelement. Der kritische Fall wird mit steigender Temperatur auftreten, wenn n_i die Größenordnung der Grunddotierung des Bauelements erreicht. Zu diesem Zeitpunkt bestimmt n_i das Verhalten des Bauelements [3]. Hier haben SiC und GaN wegen ihrer großen Bandlücke viel niedrigere intrinsische Ladungsträgerdichten (z. B. $(SiC)_{n_i}$ 9 bis 19 mal niedriger je nach SiC-Typ¹ [2, S.190]). Dies bedeutet, wo Si-Bauelemente ihren kritischen Fall bei $>200^{\circ}C$ erreichen, können SiC- und GaN-Bauelemente theoretisch bei Temperaturen höher als $500^{\circ}C$ eingesetzt werden. Praktisch ist dies heute wegen

¹ - Es gibt mehr als 200 verschiedene SiC Polytypen (Modifikationen der Gitterstruktur). 4H-SiC und 6H-SiC sind die am meisten verwendeten Polytypen in den elektronischen Bauelementen [4].
- Hexagonality $H = (number\ of\ hexagonal\ lattice\ sites)/(total\ number\ of\ non-equivalent\ lattice\ sites)$ [4]

2.1 Silizium und wide bandgap-Materialien

der Limitierung durch die Aufbau- und Verbindungstechnik, d. h. den Grenzen anderer Materialien des Systems und der daraus folgenden Abnahme der Zuverlässigkeit und Lebensdauer nicht in diesem Maße möglich.

Abbildung 2.1 zeigt den Einfluss der physikalischen Eigenschaften von SiC- und GaN-Materialien auf die unterschiedlichen Parameter der Leistungsbaulemente bzw. -systeme. Entsprechend dieser Abbildung und Tabelle 2.1 ist zu sehen, dass die Durchbruchfeldstärke für SiC und GaN mit dem Faktor 10 bzw. 12 größer ist als die von Si. Dies hat Auswirkung auf die Durchbruchspannungsfestigkeit, die Chipfläche und die Durchlass- und Schaltverluste. Für Bauelemente mit gleicher Driftzonlänge, können SiC- und GaN-Bauelemente 10 bis 12-fache höhere Durchbruchspannung als Si-Bauelemente aushalten. In Durchlassrichtung bedeutet dies wiederum, dass die Durchlassverluste und auch Schaltverluste wesentlich reduziert sind. Weiterhin können bei gleicher Spannungs-kategorie die Randstrukturen der Leistungsbaulemente deutlich reduziert werden, was zur Senkung der Chipfläche führt.

Die höhere Geschwindigkeitssättigung der Elektronen bei SiC und GaN führt zu schnelleren Schaltzeiten, niedrigeren Schaltverlusten und ermöglicht erheblich höhere Ein-

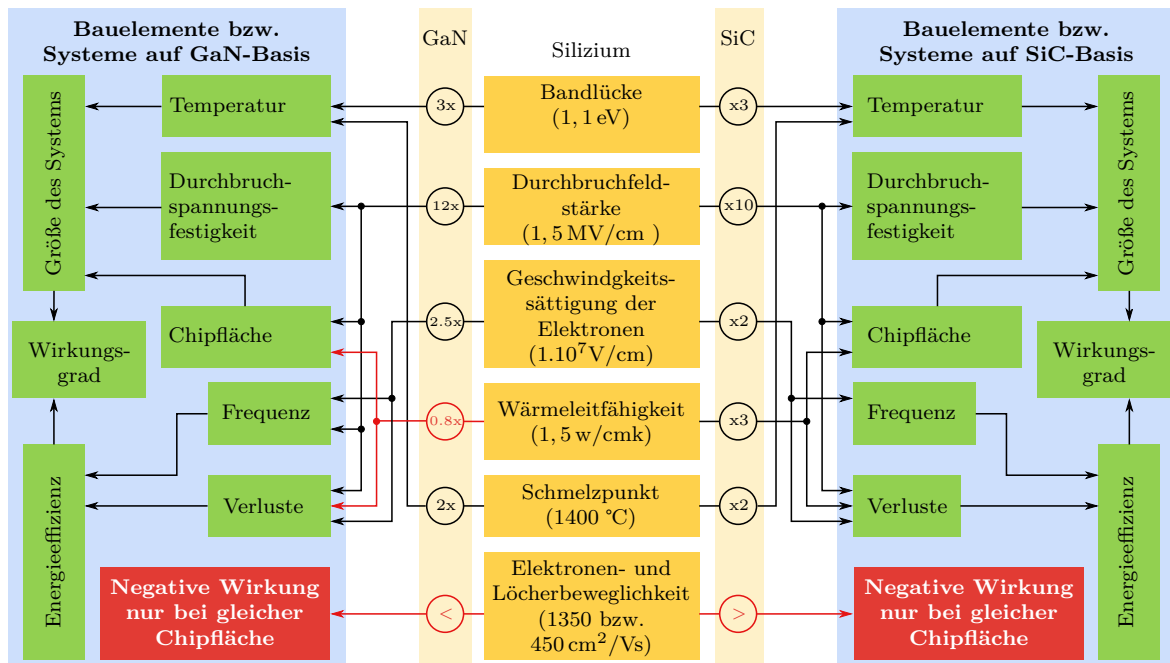


Abbildung 2.1: Einfluss der physikalischen Eigenschaften von SiC und GaN auf die daraus hergestellten Bauelemente bzw. Systeme;

$\odot \dots$ und $\odot >$ symbolisieren das ungefähre Verhältnis der entsprechenden Parameter von SiC bzw. GaN zu Si

satzfrequenzen. Die Abführung von Verlustwärme ist ein wichtiger Parameter von Leistungsbaulementen. Hier hat SiC durch seine hohe Wärmeleitfähigkeit (Faktor 3) deutliche Vorteile gegenüber Si und GaN. Die Verlustleistungsdichte kann erhöht werden. Außerdem hat die bessere Wärmeleitfähigkeit positiven Einfluss auf das Kühlsystem.

Die Elektronenbeweglichkeit ist zwar bei Si größer als bei SiC und GaN, aber dies fällt wegen der kleineren Dimensionierung und höheren Dotierung von SiC- und GaN-Bauelementen kaum ins Gewicht. Bei GaN-Bauelementen kommt es in *High Electron Mobility Transistoren* (HEMT) zur Ausbildung eines zweidimensionalen Elektronengases (2DEG) mit höherer Elektronenbeweglichkeit. Dies wirkt sich stark positiv auf die Schaltgeschwindigkeiten und Grenzfrequenzen aus.

Aus den Darlegungen wird deutlich, dass SiC und GaN das Silizium in der Leistungselektronik ersetzen können, wenn wettbewerbsfähige Kosten, u. a. aufgrund niedriger Defektdichten, hoher Ausbeute und Zuverlässigkeit sowie einer Massenfertigung auf großen Waferdurchmessern ($\geq 6''$), erreicht werden.

2.2 Neue Bauelemente, neue Anforderungen

Die ersten *wide bandgap*-Leistungsbaulemente wurden aus SiC hergestellt. Erst im Jahre 2001 wurden SiC-Schottky-Dioden kommerziell freigegeben. Derzeit sind verschiedene SiC-Transistoren wie *metaloxide semiconductor field effect transistor* (MOSFET), *junction field effect transistor* (JFET) und *bipolar junction transistor* (BJT) mit unterschiedlichen Wirkprinzipien² für die Spannungsklasse bis zu 1700 V am Markt [5, 6, 7, 8]. GaN-basierte Transistoren wie HEMT im Spannungsbereich 200 V sind auch kommerziell verfügbar. Die neuen Bauelemente kommen mit neuen Eigenschaften und sorgen für neue Herausforderungen bezüglich der Herstellung, Betriebsanforderungen und Ansteuerung.

Die auf *wide bandgap* basierten Bauelemente müssen die Aufgabe eines Leistungsschalters besser als Si-basierte Bauelemente realisieren, insbesondere weniger Verluste produzieren, den Applikationsbereich erweitern und das gesamte leistungselektronische System verbessern können. Nur dadurch lassen sich die hohen Herstellkosten der Bauelemente kompensieren.

²*normally-off* und *normally-on* Transistoren (die Namen beziehen sich auf den Transistorzustand bei 0 V Gate-Spannung, siehe Abschnitt 2.3)

Niedrige Verluste bedeutet, dass die Durchlassverluste und die Schaltverluste gesenkt werden und die Eigenerwärmung bei konstantem Strom reduziert wird. Dadurch können kleine und leichte Kühlsysteme eingesetzt werden, was sich wiederum positiv auf den Kostenfaktor auswirkt. Außerdem sind hohe Durchbruchspannungen und hohe Stromdichte von den neuen Bauelementen zu erwarten. Sie benötigen allerdings spezifische Ansteuer- und Schutzschaltungen, um sie bis an ihre Grenzdaten mit minimaler Zusatzbeschaltung ansteuern und um ihr maximales Leistungsvermögen ausnutzen zu können.

Da die neuen Bauelemente wegen ihrer unterschiedlichen Wirkprinzipien andere Ansteuerparameter und andere topologische Anordnung als Si-basierte Leistungsbau-elementen (siehe Abschnitt 2.5) besitzen können, kann ein herkömmlicher Gatetreiber nur mit stärkeren Modifikationen für die optimale Ansteuerung und den Schutz der Bauelemente genutzt werden. Treiberkonzepte, die die positiven Eigenschaften der Bauelemente ausnutzen und die teuren Bauelemente vor Zerstörung durch unerwartete Ereignisse wie Überspannung, Kurzschluss usw. schützen können, werden im Laufe dieser Arbeit diskutiert.

Abbildung 2.2 zeigt allgemein ein leistungselektronisches System mit einem *wide band-gap*-Leistungsbau-element, seinem Treiber und der übergeordneten Steuerungsseite des Schalters (*MicroController* (μC) bzw. *Digital Signal Processor* (DSP)). Außerdem werden in der Abbildung die allgemeinen Parameter des Schalters und die Anforderungen gezeigt. Für die Diskussion des Treiberkonzepts wird auf die drei wichtigen Aspekte, **Ansteuerung**, **Schutz**, und **Energieversorgung** im Einzelnen eingegangen.

Ansteuerung: Die neuen Leistungsbau-elemente werden wie Si-Bau-elemente mit einer Pulsweitenmodulation (PWM) vom μC bzw. DSP angesteuert. Die Ansteuersignale werden ggf. auf der Primärseite bearbeitet, verstärkt und über die Potenzialtrennung (Optokoppler, Transformator, Lichtwellenleiter, Levelshifter) auf die Sekundärseite übertragen. Dort werden die spezifischen Betriebsspannungen des jeweiligen Bauelementes für das Ein- und Ausschalten zur Verfügung gestellt. Die Gateeinschaltspannung U_{on} sollte so gewählt sein, dass der $R_{\text{DS, on}}$ im eingeschalteten Zustand möglichst niederohmig ist, ohne die Grenzwerte der Ansteuerelektronik bzw. der Leistungsbau-elemente zu überschreiten. Die Gateabschaltspannung U_{off} muss hingegen so festgelegt werden, dass das Bauelement auch im Schaltbetrieb einer Halbbrücke sicher im ausgeschalteten Zustand verbleibt und sich nicht über die Millerkapazität bei hohen du/dt wieder aufzieht. Beide Spannungen zusammen bestimmen mit dem gewählten Gate-Widerstand R_G für das Ein- und Ausschalten die jeweiligen Kommutierungsteilheiten du/dt und di/dt .

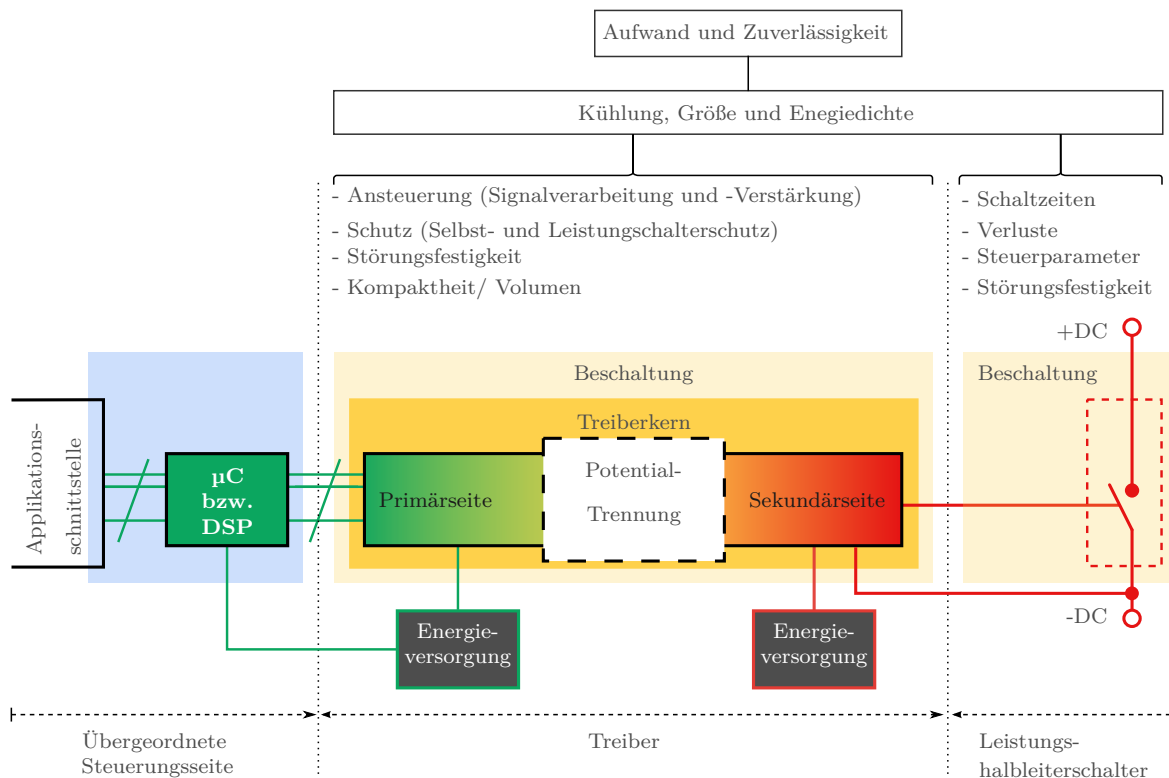


Abbildung 2.2: Ansteuerungskonzept eines elektronischen Leistungshalbleiterschalters. Die grüne Farbe symbolisiert eine niedrige Spannung mit festem Bezugspotenzial. Die rote Farbe symbolisiert die Leistungsseite mit hohen Spannungen. Zu sehen sind auch die angestrebten Parameter des Leistungsschalters und die zu erfüllenden Anforderungen des Treiberkonzepts.

Schutz: Ein Merkmal der *wide bandgap* basierten Bauelemente sind die niedrigen Schaltverluste, die sie für den Einsatz im hohen Frequenzbereich prädestinieren. Daraus folgt, dass prinzipiell hohe Kommutierungsteilheiten du/dt und di/dt zu erwarten sind. Welche maximalen Steilheiten die Bauelemente wirklich verkraften können, werden zukünftige Zuverlässigkeitsuntersuchungen in verschiedenen Modulen mit mehreren Bauelementen parallel zeigen. Generell führen hohe du/dt zum Umladen parasitärer Kapazitäten im System, was über die Millerkapazität zu Rückkopplungen auf das Gate und damit zum Wiedereinschalten eines ausgeschalteten Bauelementes in einer Halbbrücke führen kann (Brückenkurzschluss). Andererseits bedingen hohe di/dt hohe Überspannungen beim Abschalten durch parasitäre Induktivitäten ($U = L \frac{di}{dt}$). Allgemein sind aufgrund der parasitären Elemente (C,L) im Kommutierungskreis Oszillationen und Störungen beim Schalten zu erwarten, die u. a. nur durch langsames Schalten zu unterbinden sind. Das angestrebte Treiberkonzept soll eine hohe Immunität

gegenüber solchen Oszillationen und Störungen, aber auch die nötige Spannungsfestigkeit mit möglichst minimalen Koppelkapazitäten garantieren. Grundsätzlich sind bei schnell schaltenden Leistungsbaulementen die parasitären Induktivitäten im Kommutierungskreis so weit wie möglich zu reduzieren. Ein kompakter, niederinduktiver Systemaufbau ist unbedingt notwendig. Ansonsten sind die bekannten Schutzmaßnahmen von Si-Baulementen auch für die SiC-Baulemente übertragbar, wie z. B. *clamping* der Gate-Source- und Drain-Gate-Spannung.

Ein weiterer Aspekt des Schutzes ist es, einen gültigen Betriebszustand des Leistungsschalters entsprechend dem Ansteuerungsmuster zu garantieren. Dafür sind die notwendigen Funktionen wie Kurzpulsunterdrückung, Totzeitgenerierung und Brückenquerverriegelung im Treiberkonzept zu implementieren. Weiterer Schutz der Bauelemente wird durch die Überwachung der Betriebszustände des Leistungsschalters wie Überspannung, Kurzschluss und Temperatur sowie durch die Überwachung aller Betriebsspannungen des Systems gewährleistet.

Energieversorgung: Für ein funktionsfähiges Treiberkonzept ist eine primärseitige und sekundärseitige Spannungsversorgung unablässig. Während die Spannungsversorgung der Primärseite durch das gemeinsame stationäre Potenzial mit der übergeordneten Steuereinrichtung relativ einfach zu realisieren ist, ist für die Sekundärseite eine Übertragung der Energieversorgung über eine Potenzialbarriere notwendig. Der Aufwand hängt stark von der gewählten Topologie ab. Bei asymmetrisch geordneten Zwischenkreisen liegt das Bezugspotenzial des BOT-Leistungsschalters nah des Bezugspotenzials der Primärseite. Es kann folglich die gleiche Versorgungsspannung der Primärseite für die BOT-Sekundärseite eingesetzt werden. Aufwändiger ist es für den TOP-Leistungsschalter, wo die Energie über eine Potenzialbarriere³ übertragen werden muss. In diesen Fall werden je nach Leistungsklasse *bootstrap*-Versorgungen oder Transformatoren (dc/dc-Wandler) eingesetzt. Bei symmetrisch geordneten Zwischenkreisversorgungen ist eine transformatorische Übertragung der Energie sowohl für den BOT- als auch TOP-Leistungsschalter notwendig. Transformatoren sorgen für eine galvanische Potenzialtrennung mit hoher Isolations- und du/dt-Festigkeit. Durch die galvanische Potenzialtrennung können beliebige positive bzw. negative Versorgungsspannungen erzeugt werden, welche die einfache Ansteuerung der *normally-on* und *normally-off* Bauelemente ermöglichen.

³ Die eingesetzten Energieübertragungsmethoden über eine Potenzialbarriere mit einem Vergleich deren Eigenschaften sind in Tabelle A.2 im Anhang A zu finden

2.3 SiC-Leistungstransistoren, Stand der Technik

Die aktuellen SiC-Leistungstransistoren haben eine längere Entwicklungsgeschichte hinter sich, bevor sie eine gewisse Marktreife entwickeln konnten. Die Firma *SemiSouth*⁴ konnte im März 2008 die ersten SiC-Leistungstransistoren als *normally-off* SiC-JFET und später als *normally-on* SiC-JFET kommerziell liefern [9]. Im Jahr 2011 stellte die Firma *Cree* den ersten SiC-MOSFET kommerziell vor [5, 10]. Andere Hersteller, wie z. B. *Infineon* mit einem *normally-on* SiC-JFET und *ROHM* mit einem SiC-MOSFET, folgten [11, 12, 13]. Heute sind SiC-Leistungstransistoren (*normally-on* bzw. *-off* JFET, MOSFET und BJT) am Markt bis zur Spannungsklasse 1700 V verfügbar. Entwicklungsmuster gibt es bereits bis 15 kV [14].

Unter den Begriffen *normally-off* und *normally-on* ist der Zustand des Transistors bei 0 V Gate-Spannung zu verstehen. Allgemein gilt jeder Leistungsschalter, welcher sich bei 0 V Gate-Spannung im ausgeschalteten Zustand befindet, als *normally-off*. Demgegenüber wird jeder Leistungsschalter, welcher sich bei 0 V Gate-Spannung im eingeschalteten Zustand befindet, als *normally-on* bezeichnet.

Die unterschiedlichen Querschnitte von verfügbaren SiC-Transistoren sind in Abbildung 2.3 dargestellt. Abb. 2.3 a zeigt einen *normally-on* SiC-LJFET der Firma *Infineon* [15] mit planarer Kanalgeometrie. Er besitzt Dank der p^+ -Implantation zwar prinzipiell eine integrierte Freilaufdiode, die allerdings einen hohen Spannungsabfall aufweist (siehe Abschnitt 2.4.1). Die Kanalweite pro Fläche ist im Vergleich zum vertikalen SiC-VJFET in Abb. 2.3 b deutlich kleiner und damit der $R_{DS,on}/\text{Fläche}$ größer. Der vertikale SiC-VJFET in Abb. 2.3 b von *Semisouth* [16] hat derzeit die höchste Zelldichte und Kanalweite pro Fläche und folglich die kleinsten $R_{DS,on}$ -Werte (siehe Tabelle 2.2). Auch besitzt er Vorteile in der Herstellung gegenüber der Struktur in Abb. 2.3 a, da weniger Maskenebenen und Technologieschritte notwendig sind [17]. Jedoch ist bei der Herstellung eine hohe Homogenität der Dotierung des Kanals zu garantieren, um das Ein- und Ausschalten der parallelen Zellen des Bauelementes bzw. zwischen verschiedenen Bauelementen möglichst einheitlich zu halten. Das Bauelement ist sowohl als *normally-on* als auch als *normally-off* Variante verfügbar. In der *normally-off* Variante ist der Kanalwiderstand deutlich höher, was zu einem signifikant höherem $R_{DS,on}$ gegenüber der *normally-on* Variante führt.

⁴*SemiSouth* ist 2012 in Insolvenz gegangen; *SemiSouth*, *Cree*, *Infineon* und *ROHM* sind Halbleiterhersteller.

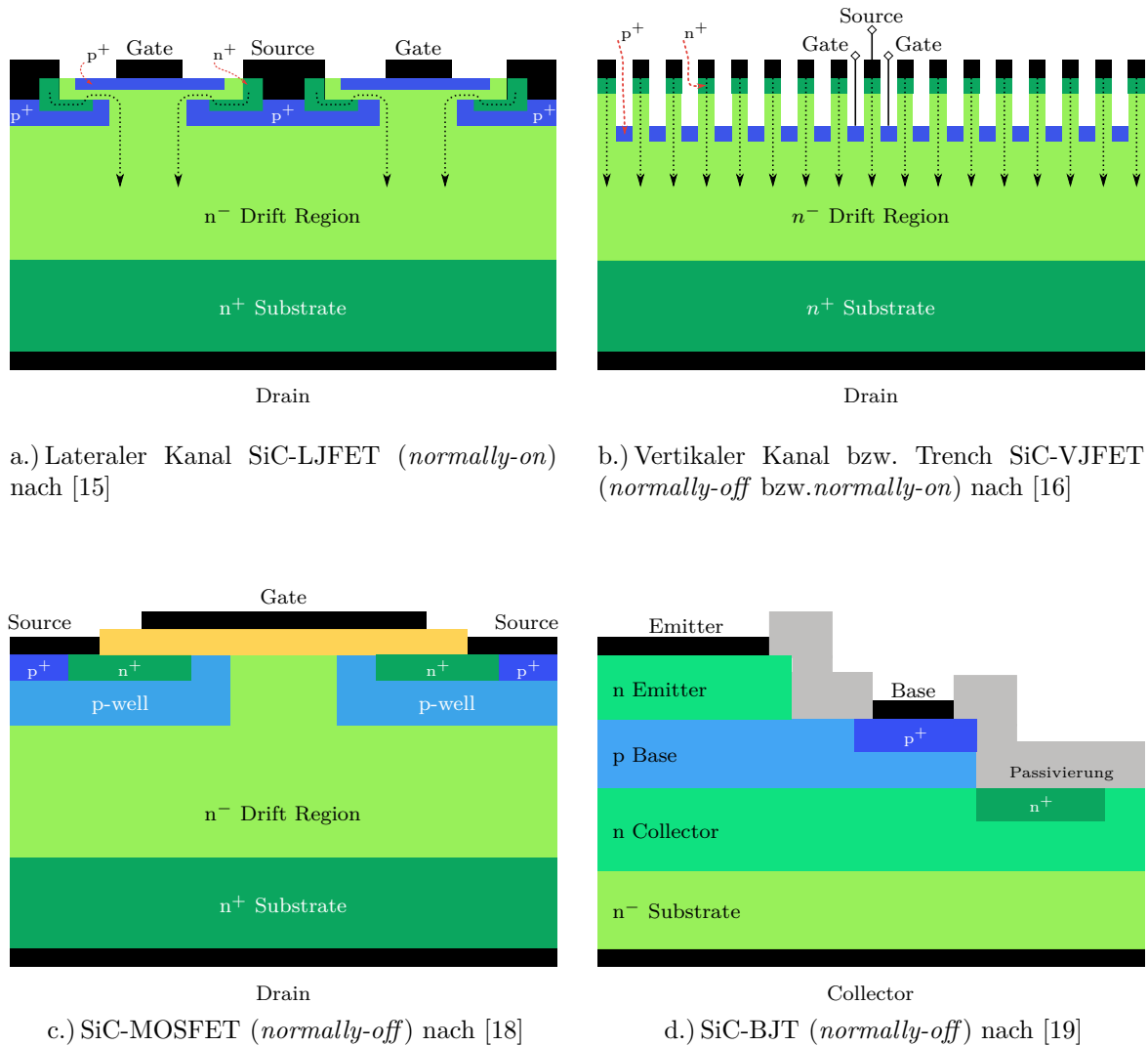


Abbildung 2.3: Querschnitte der heutigen verfügbaren SiC-Transistoren

Bevor die anderen Strukturen (c und d) in der Abbildung 2.3 diskutiert werden, wird die Funktionsweise eines JFET kurz erklärt. Abbildung 2.4 zeigt das elektrische Symbol und die vereinfachte Struktur eines JFET sowie die Ansteuerungsbereiche des Transistors. Die Gate-Spannung kann bezogen auf das Source-Potential in fünf Bereiche (I) bis (V) eingeteilt werden. Im normalen Zustand (keine Ansteuerspannung) ist $U_G = U_S$. In diesem Fall ist die Raumladungszone zwischen p^+ und n^- Gebieten nur durch die Diffusionsspannung definiert. Der Kanal zwischen Drain und Source ist voll aufgesteuert (*normally-on* Charakteristik). Wenn die Gate-Spannung unter das Source-Potential abgesenkt wird (Bereich III), beginnt die Raumladungszone sich zu erweitern, und schnürt dabei den Kanal langsam ab. Der Transistor wird hochohmiger bis zum Erreichen der Abschnürspannung (*pinch-off voltage* (U_{pi})). [Man spricht auch von der Einsatz- oder

Schwellspannung (U_{th}).] Bei dieser Spannung ist der Kanal voll abgeschnürt und der Transistor ausgeschaltet. Der Wert der Abschnürspannung U_{pi} ist temperaturabhängig und unterscheidet sich zwischen *normally-off* und *normally-on* SiC-JFET sowie auch zwischen den *normally-on* Typen SiC-LJFET und SiC-VJFET. Während die ersten Exemplare von SiC-JFETs eine Abschnürspannung von bis zu 35 V besaßen [20], zeigen die heute verfügbaren SiC-JFETs deutlich niedrige Abschnürspannung. Sie liegen für *normally-off* SiC-JFET im positiven Bereich zwischen 0 V und 1 V [21] und für den *normally-on* SiC-JFET im negativen Bereich bis zu -15 V [22].

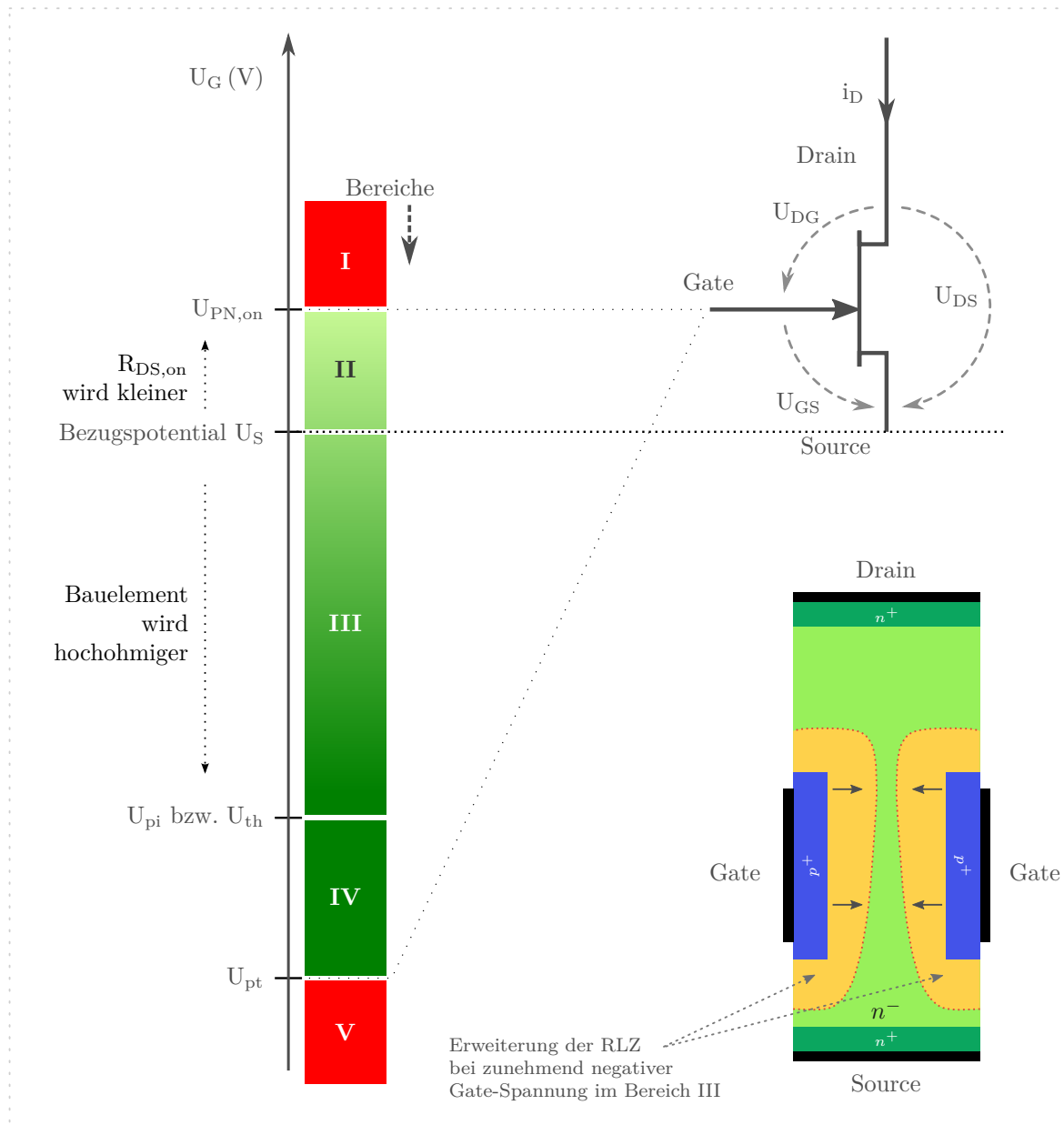


Abbildung 2.4: Gate-Source Spannung des SiC-JFET

Die weitere Absenkung der Gate-Spannung unter U_{pi} im Bereich IV erhöht die Immunität des SiC-JFET gegenüber Störungen, insbesondere durch den Miller-Effekt. Der Bereich IV ist durch die *punch-through*-Spannung (U_{pt}) begrenzt. Die U_{pt} -Spannung ist wie auch U_{pi} temperatur- und strukturabhängig. Es ist zu beachten, dass U_{pi} mit steigender Temperatur sinkt, demgegenüber steigt U_{pt} mit steigender Temperatur. Daraus folgt, dass der Bereich IV bzw. das Ausschaltfenster $U_{pt} < U_{GS} < U_{pi}$ mit steigender Temperatur kleiner wird [23, 20, 24, 25]. Deshalb muss der Gateabschaltspannung große Aufmerksamkeit gewidmet werden. Dies bedeutet, dass die Gateabschaltspannung des Transistors groß genug ausgewählt werden soll, um gute Immunität gegen Störung zu garantieren und gleichzeitig den *punch-through* nicht zu erreichen. Die weitere Absenkung der Gate-Spannung im Bereich V führt letztlich zum Durchbruch des Gate-Source-Übergangs.

In Gegenrichtung führt eine positive Gate-Source-Spannung im Bereich II zu einer Reduzierung des $R_{DS,on}$ bzw. der Durchlassverluste [23], da bei positiver Spannung die Raumladungszone schmaler bzw. der Stromfluss-Kanal breiter wird. Der Bereich II ist durch die Spannung $U_{PN,on}$ begrenzt, welche die Gate-Source-Diode in Durchlassrichtung polen kann. Über diese Spannung hinaus, gibt es keine weitere Verbesserung im $R_{DS,on}$ für SiC-LJFETs. Demgegenüber sind Verbesserungen im $R_{DS,on}$ für SiC-VJFET zu sehen. Deshalb sollte die Einschaltspannung des SiC-LJFET kleiner als $U_{PN,on}$ gewählt werden, während der SiC-VJFET mit einer Spannung größer als $U_{PN,on}$ einzuschalten ist.

Ein *normally-on* Schalter kann bei Ausfall seiner Ansteuerspannung ungewünschte Zustände wie z. B. Kurzschluss verursachen. Dies kann entweder beim Hochfahren des Systems, wo die Versorgungsspannung der Ansteuerschaltungen noch nicht vollständig aufgebaut ist, oder im normalen Betrieb beim plötzlichen Ausfall der Betriebsspannung geschehen. Dieses Verhalten wird in der spannungsgespeisten Topologie der Leistungselektronik als kritisch betrachtet, da ein unkontrollierbarer Kurzschluss wegen der thermischen Belastung zur Beschädigung bzw. Zerstörung der Bauelemente führen kann. Im Gegensatz zur spannungsgespeisten Topologie wird die *normally-on* Charakteristik in der stromgespeisten Topologie als tolerierbar betrachtet [26], da der Ausfall des Ansteuersignals keine Zerstörung der Bauelemente verursacht. Diese Arbeit bezieht sich allerdings nur auf spannungsgespeiste Topologien.

Normally-on Bauelemente werden in der Leistungselektronik in Halbbrücken in der Regel nur in Kaskode-Topologien, d. h. in Reihenschaltung mit einem MOSFET eingesetzt, um bei Ausfall der Betriebsspannung einen Kurzschluss in der Halbbrücke

zu verhindern. Diesen Nachteil überwindet der SiC-MOSFET in Abb. 2.3 c, der ein *normally-off* Bauelement darstellt (z. B. von den Firmen *Cree*, *Rohm* [10, 27]). Er ist mit planarer Gate-Struktur und auch mit Trench-Gate verfügbar. Er besitzt eine interne Freilaufdiode, allerdings zur Zeit noch mit relativ hoher Flussspannung (siehe Abschnitt 2.4.1).

Der SiC-BJT in Abb. 2.3 d ist ein *normally-off* Bauelement ohne Freilaufdiode. Er bietet schnelle Schaltgeschwindigkeiten mit deutlich geringerem $U_{CE,sat}$ als ein Si-IGBT [19]. Außerdem wird die Abwesenheit eines Oxids hinsichtlich der Langzeitstabilität als positiv betrachtet. Der Transistor zeigte allerdings in der Vergangenheit Degradationen, was vor Kurzem zum großen Teil gelöst wurde [8]. Allerdings hat der Transistor große Nachteile hinsichtlich der Ansteuerung, da große Basisströme und Ansteuerleistungen im Ein-Zustand gegenüber den feldgesteuerten SiC-Leistungsbaulementen notwendig sind. Deshalb wird dieser Transistor in den hier vorgestellten Treibern nicht behandelt, da nicht mit einer größeren Marktakzeptanz zu rechnen ist⁵.

2.4 Statisches und dynamisches Verhalten der verschiedenen SiC-Leistungstransistoren

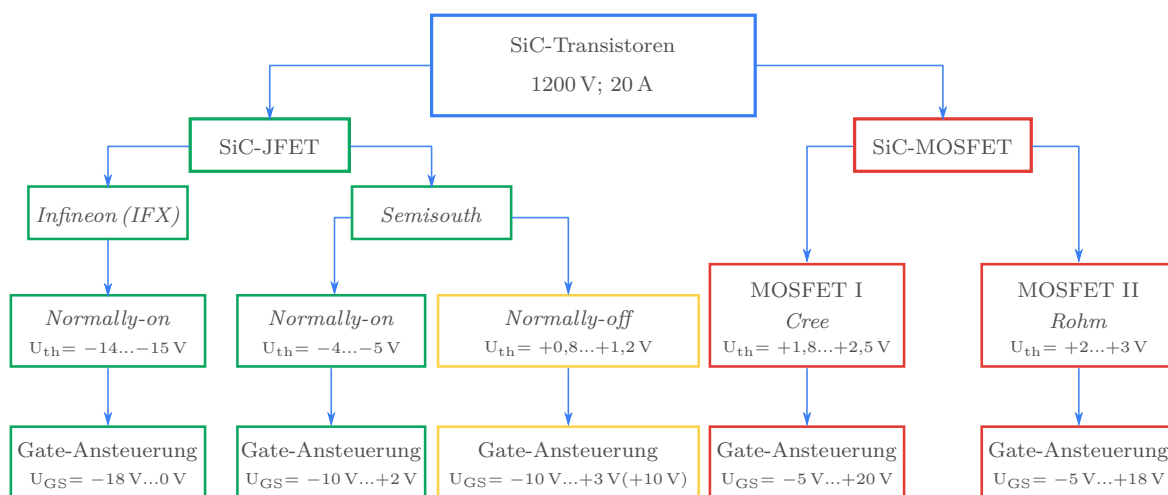


Abbildung 2.5: Darstellung der SiC-Transistoren, die dynamisch und statisch charakterisiert wurden, und ihre jeweiligen Schwell- und Gate-Spannungen

⁵Bei der Firma Fairchild wurde in 2013 die Entwicklung u. a. aus diesem Grund eingestellt.

Die SiC-Bauelemente in Abbildung. 2.5 sind im statischen und dynamischen Fall genauer untersucht worden. Dadurch sollte u. a. festgestellt werden, auf welche Besonderheiten beim Entwurf eines Treibers geachtet werden muss und ob bestimmte Ansteuerzenarien im Treiber implementiert werden müssen, um die optimalste Performance herauszuholen.

Die statischen Untersuchungen wurden mit Hilfe eines Kennlinienschreibers durchgeführt. Bei den dynamischen Untersuchungen wurden aufgrund der unterschiedlichen Wirkprinzipien der Transistoren mit einem universellen Treiber gearbeitet (siehe Abschnitt 2.8). Die Bauelemente wurden im Modulgehäuse (Mini-SKiiP⁶) in Halbbrückenkonfiguration aufgebaut (siehe Abbildung. 2.6).

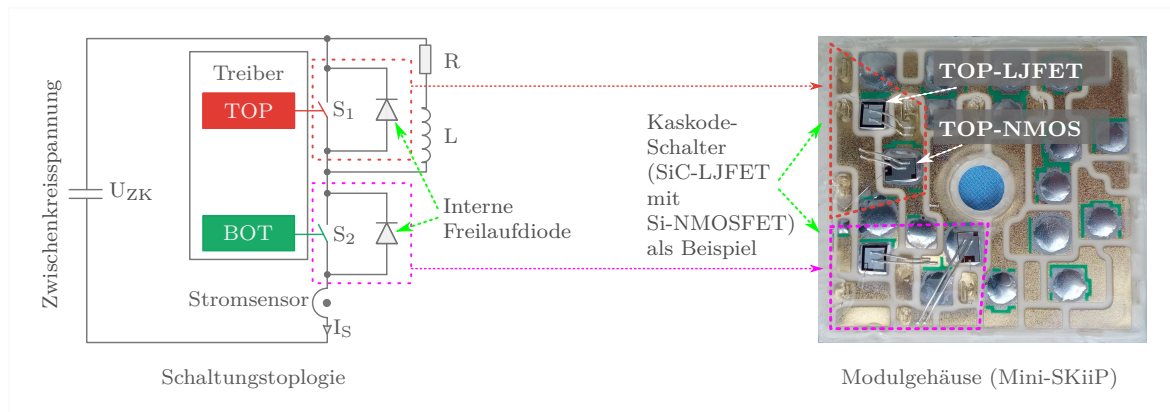


Abbildung 2.6: Schaltungstopologie; Die Schalter S_1 und S_2 sind mit ihren internen Freilaufdioden im Modulgehäuse (Mini-SKiiP) als Halbbrücke aufgebaut

2.4.1 Statisches Verhalten

Tabelle 2.2 zeigt die Gesamt- (A_{gesamt}) und Aktivflächen (A_{aktiv}), den $R_{DS, \text{on}}$ und die flächenbezogenen Widerstände ($R_{DS, \text{on}} \times A_{\text{aktiv}}$) der untersuchten 1200 V SiC-Transistoren sowie die Durchlassspannung (U_F) der internen Freilaufdioden bei 25 °C und 150 °C, auch im Vergleich zum 1200 V IGBT4. Es ist aus der Tabelle zu sehen, dass der *normally-on* SiC-VJFET den niedrigsten $R_{DS, \text{on}}$ bzw. flächenbezogenen $R_{DS, \text{on}}$ hat. Dies ist auf seinen vertikalen Kanal zurückzuführen, d. h. seine hohe Transistorweite pro Quadratmillimeter. Die anderen Transistoren haben einen planaren Kanal und damit eine kleinere Transistorweite pro Quadratmillimeter und folglich einen höheren $R_{DS, \text{on}}$.

⁶Mini-SkiiP ist ein Modulgehäuse der Firma *Semikron*.

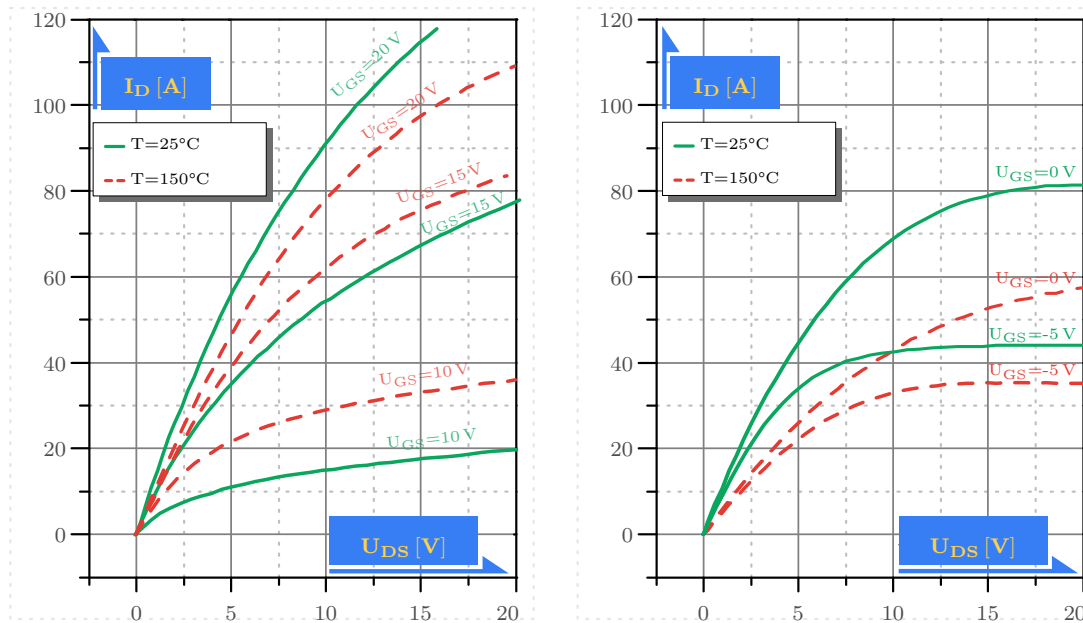
Statisch	Bedingungen		LJFET(N-on)	VJFET(N-on)	VJFET(N-off)	MOSFET I	MOSFET II	IGBT 4
$A_{\text{gesamt}}(\text{mm}^2)$			10,12	9	9	16,64	13,2	27,2
$A_{\text{aktiv}}(\text{mm}^2)$			7,7	6,6	6,6	10,8	9	17,3
$R_{\text{DS,on}}(\text{m}\Omega)$	$I_{\text{DS}}=20\text{ A}$ $U_{\text{GS,ljfet}}=0\text{ V}$ $U_{\text{GS,vjfet(N-on)}}=3\text{ V}$ $U_{\text{GS,vjfet(N-off)}}=3\text{ V}$	25 °C	96,5	38	47	95	117	$U_{\text{CE,sat}} 2\text{ V}$
		150 °C	200	90	114	112	160	$U_{\text{CE,sat}} 2,4\text{ V}$
$R_{\text{DS,on}} \times A_{\text{aktiv}}$ ($\text{m}\Omega \times \text{mm}^2$)	$U_{\text{GS,mos}}=18\text{ V}$ $U_{\text{GE,igbt4}}=15\text{ V}$	25 °C	743	250	310	1026	1053	..
		150 °C	1540	595	772	1210	1440	..
$U_{\text{F}}(\text{V})$	$I_{\text{DS}}=20\text{ A}$ $U_{\text{GS,ljfet}}=-18\text{ V}$ $U_{\text{GS,mos}}=0\text{ V}$	25 °C				4,0	4,7	2,55 extern
interne FLD		150 °C	hoch ohmsch	nicht direkt verfügbar	nicht direkt verfügbar	4,1	4,8	2,6 extern

Tabelle 2.2: Statische Parameter der verschiedenen SiC-Bauelemente im Vergleich zum IGBT 4

Während auch der SiC-LJFET bei Raumtemperatur (RT) einen kleineren flächenbezogenen Widerstand als die SiC-MOSFETs (I und II) hat, weisen die SiC-MOSFETs einen niedrigeren Widerstandsanstieg mit der Temperatur auf als die SiC-JFETs, die eine Verdopplung ihrer Widerstandswerte zeigen. Der Grund für diesen geringeren Anstieg mit der Temperatur bei SiC-MOSFETs ist auf die steigende Elektronenbeweglichkeit μ_n im Kanal des SiC-MOSFET mit steigender Temperatur zurückzuführen, wodurch der Kanalwiderstand mit der Temperatur sinkt⁷.

Abbildung 2.7 zeigt als Beispiel den Verlauf der Ausgangskennlinien für den SiC-MOSFET I von *Cree* mit der aktiven Fläche von $A_{\text{MOS,aktiv}} = 10,8\text{ mm}^2$ und für den SiC-LJFET von *Infineon* mit der aktiven Fläche $A_{\text{JFET,aktiv}} = 7,7\text{ mm}^2$ bei 25 °C und 150 °C. Abgesehen vom Stromvermögen ($A_{\text{MOS,aktiv}} > A_{\text{JFET,aktiv}}$) besitzt der SiC-MOSFET I eine steile Kennlinie (Abb. 2.7 a), wo der Übergang zwischen ohmschen Bereich und Sättigungsbereich nicht klar erkennbar ist. Der SiC-MOSFET I begrenzt den Strom im Sättigungsbereich nicht wie der SiC-JFET oder die bekannten Si-MOSFET- oder Si-IGBT-Bauelemente. Daher ist im Kurzschluss mit hohen Strömen zu rechnen. Folglich sollte möglichst langsam aus dem Kurzschluss abgeschaltet werden, um hohe du/dt zu vermeiden. Weiterhin ist zu erkennen, dass der $R_{\text{DS,on}}$ des SiC-MOSFET I einen negativen Temperaturkoeffizient bei niedriger Gate-Source-Spannung ($\leq 15\text{ V}$) besitzt.

⁷Diese Phänomen lässt sich physikalisch nicht begründen, sondern wird durch technologische Gründe hervorgerufen (Herstellerangaben).



a.) Kennlinie des SiC-MOSFET I (zu bemerken ist der negative Temperaturkoeffizient bei niedriger Gate-Spannung)

b.) Kennlinie des SiC-LJFET (zu bemerken ist der stark positive Temperaturkoeffizient)

Abbildung 2.7: Ausgangskennlinie des SiC-MOSFET I von *Cree* und SiC-LJFET von *Infineon*

Dieser negative Temperaturkoeffizient ist auch beim SiC-MOSFET II von Rohm für Temperaturen $< 50^\circ\text{C}$ deutlich in Abbildung 2.8 zu sehen. Hier wird das $R_{\text{DS,on}}$ -Verhalten der getesteten SiC-Transistoren mit der Temperatur bei unterschiedlicher Gate-Source-Spannung gezeigt. Aufgrund des negativen Temperaturkoeffizienten des $R_{\text{DS,on}}$ von SiC-MOSFETs für kleinere Gate-Spannungen sollten die Bauelemente in der Parallelschaltung immer mit $U_{\text{GS}} > 15\text{ V}$ betrieben werden. Hohe Gate-Spannungen von bis zu 20 V werden ohnehin für einen möglichst kleinen $R_{\text{DS,on}}$ empfohlen.

Abbildung 2.9 zeigt beispielhaft die gemessenen Kennlinien der Freilaufdioden (FLD) der SiC-MOSFET-(*Cree*) und SiC-LJFET-(*Infineon*) Transistoren bei 150°C . Es ist zu sehen, dass die beiden Dioden hohe Durchlassspannungen haben. Dies wirkt sich negativ auf die Verlustbilanz aus. Trotz der niedrigen Durchlassspannung der Freilaufdiode des SiC-MOSFET im Vergleich zur Freilaufdiode des SiC-LJFET können externe SiC-Freilaufdioden eine deutlich bessere Performance liefern ($U_{\text{F}} < 1,8\text{ V}$). Die Freilaufdiode des SiC-LJFET ist für den Freilaufvorgang allein nicht einsetzbar. Es kann allerdings der gesamte SiC-LJFET aktiv am Freilaufvorgang beteiligt werden. Steuerungstechnisch ist es möglich, nach einer gewissen Totzeit den aktiven Schalter parallel

zur internen Freilaufdiode einzuschalten, um damit die Durchlassverluste im Freilaufvorgang zu reduzieren. Das ist prinzipiell für alle SiC-Schalter möglich. Ein solches Ansteuerregime kann vom Mikrokontroller (μC) geregelt werden. Wichtig ist, dass die Totzeit zwischen den schaltenden Bauelementen einer Halbbrücke sicher gewählt wird, um einen Brückenkurzschluss zu verhindern.

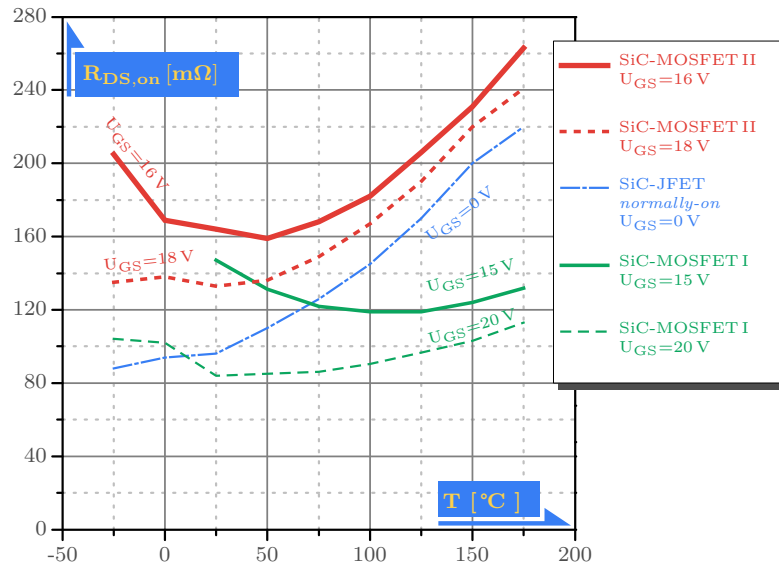


Abbildung 2.8: $R_{\text{DS,on}}$ -Verhalten mit der Temperatur für SiC-Transistoren bei $I_{\text{DS}}=20\text{ A}$ und unterschiedlichen U_{GS}

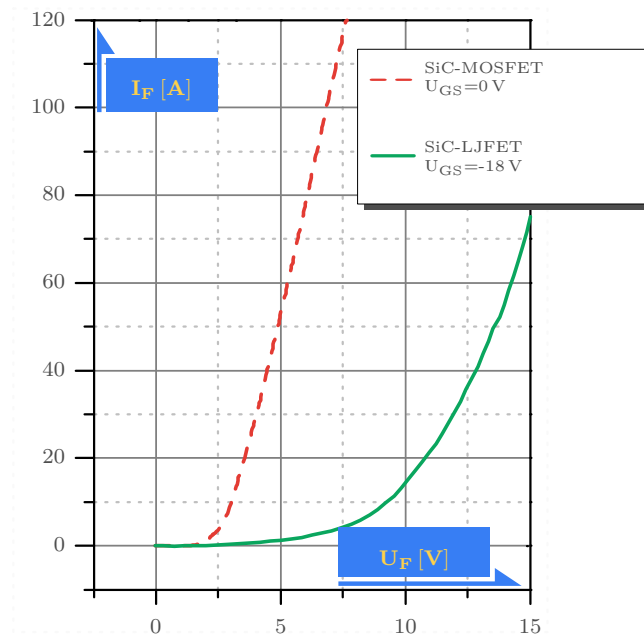
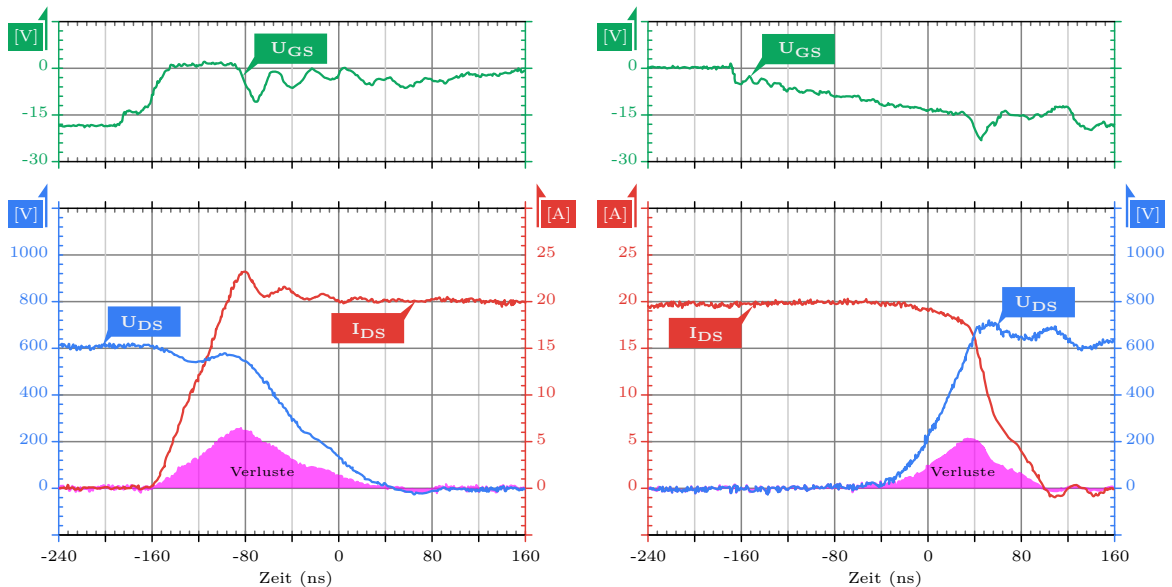


Abbildung 2.9: Kennlinie der internen Freilaufdioden des SiC-MOSFET I von Cree und des SiC-LJFET von Infineon bei 150 °C ; $I_{\text{nom}} = 20\text{ A}$

2.4.2 Dynamisches Verhalten

Für die dynamischen Messungen bleibt der TOP-Schalter S_1 (siehe Abb.2.6) ausgeschaltet, während der BOT-Schalter S_2 im Doppelpulsbetrieb angesteuert wird. Dafür wurde der im Abschnitt 2.8 vorgestellte Treiber eingesetzt. Die Messungen werden an einer ohmisch-induktiven Last vorgenommen. Die Ein- und Ausschaltwiderstände $R_{G,on}$ und $R_{G,off}$ wurden so ausgewählt, dass Oszillationen vermieden werden. Die du/dt , di/dt wurden auf ca. $12 \text{ kV}/\mu\text{s}$ bzw. $420 \text{ A}/\mu\text{s}$ begrenzt. Es ist zu bemerken, dass sich ab einem bestimmten Wert für du/dt und di/dt keine nennenswerten Verbesserungen in den Schaltverlusten ergeben. Der Grund dafür ist der steigende Einfluss von parasitären Komponenten mit steigender Schaltgeschwindigkeit, was wiederum hohe Strom- und Spannungsspitzen verursacht [28].

Abbildung 2.10 und Abbildung 2.11 zeigen als Beispiel die Strom- und Spannungsverläufe und die Schaltverluste des SiC-LJFET (*Infineon*) und des SiC-MOSFET (*Cree*) für eine Zwischenkreisspannung von 600 V und bei 150°C . Die Rückstromspitze beim Einschalten des SiC-MOSFET ist deutlich höher als beim SiC-LJFET. Die Gründe liegen in der unterschiedlichen Dimensionierung ($A_{MOS,aktiv} > A_{JFET,aktiv}$) und den unter-



a.) Einschalten 1200V SiC-LJFET (*Infineon*):
 $U_{ZK}=600 \text{ V}$, $I_{DS}=20 \text{ A}$, $R_G=22 \Omega$, $T=150^\circ\text{C}$,
 $E_{on}=1,37 \text{ mJ}$, $I_{DS,max}=23,3 \text{ A}$

b.) Ausschalten 1200V SiC-LJFET (*Infineon*):
 $U_{ZK}=600 \text{ V}$, $I_{DS}=20 \text{ A}$, $R_G=22 \Omega$, $T=150^\circ\text{C}$,
 $E_{off}=0,57 \text{ mJ}$, $U_{DS,max}=708 \text{ V}$

Abbildung 2.10: Ein- und Ausschaltvorgänge von SiC-LJFET (*Infineon*) in der Halbbrückenschaltung; du/dt und di/dt sind ca. $12 \text{ kV}/\mu\text{s}$ bzw. $420 \text{ A}/\mu\text{s}$

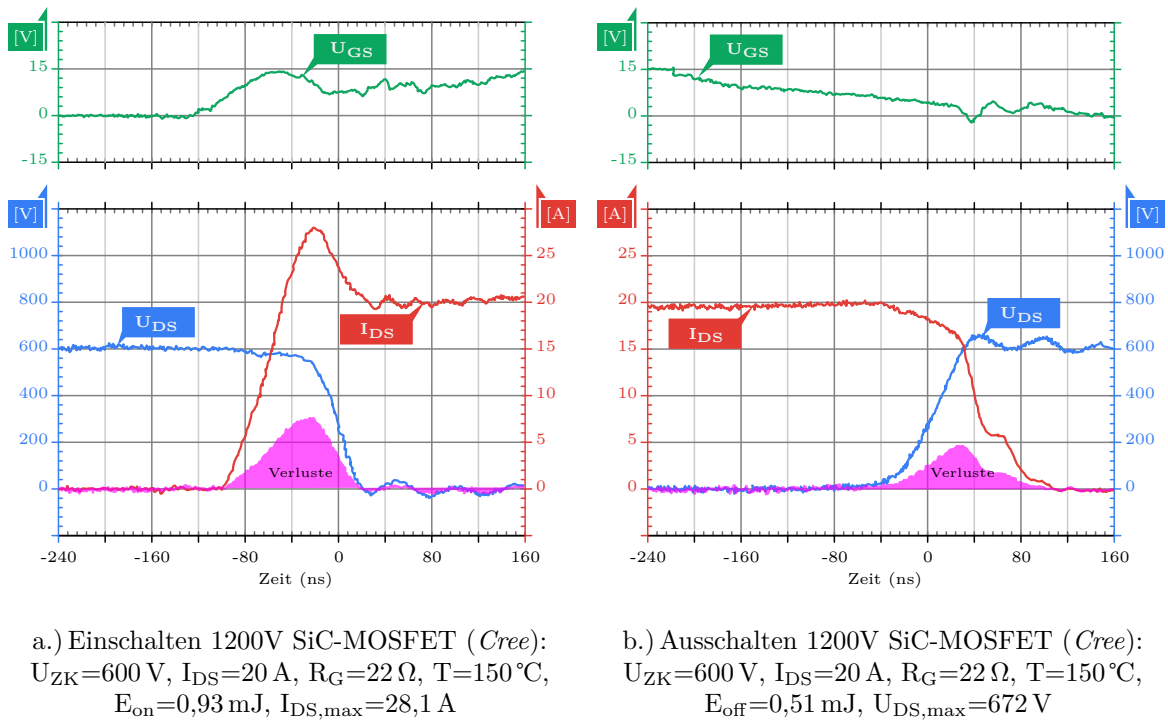


Abbildung 2.11: Ein- und Ausschaltvorgänge SiC-MOSFET (*Cree*) in der Halbbrückenschaltung; du/dt und di/dt sind ca. $12\text{ kV}/\mu\text{s}$ bzw. $420\text{ A}/\mu\text{s}$

schiedlichen Kapazitäten der jeweiligen internen Freilaufdiode. Die Schaltverluste der verschiedenen SiC-Transistoren sind in Tabelle 2.3 denen eines vergleichbaren IGBT gegenübergestellt. Der SiC-MOSFET I von *Cree* weist die niedrigsten Schaltverluste auf. Deutlich sind die guten Eigenschaften der SiC-Bauelemente an den niedrigen Schaltverlusten der Transistoren und der Freilaufdioden sowohl für RT als auch bei höheren Temperaturen im Vergleich zum IGBT4 zu erkennen.

Ein wichtiger Parameter von Leistungsbauelementen ist die Kurzschlussfestigkeit bzw. das Kurzschlussverhalten. Hier weisen SiC-JFETs durch ihre interne Strombegrenzung bessere Eigenschaften als SiC-MOSFET auf. Das Kurzschlussverhalten wurde in zwei Schaltungen getestet. Erstens der sogenannte Kurzschluss I, bei dem das Bauelement auf einen Kurzschluss (sehr kleine Induktivität im Lastkreis) einschaltet [29]. Dies kann z. B. einen Querkurzschluss in der Halbbrückentopologie simulieren. Zweitens der Kurzschluss II, welcher einen Lastkurzschluss repräsentiert und bei einem bereits leitenden Bauelement auftritt. Hier wird mit größerer Induktivität im Lastkreis getestet. Dieser Kurzschluss kann kritischer als der Kurzschluss I sein, da der Stromanstieg von der Zwischenkreisspannung und der Induktivität des Kurzschlusses abhängig ist [29].

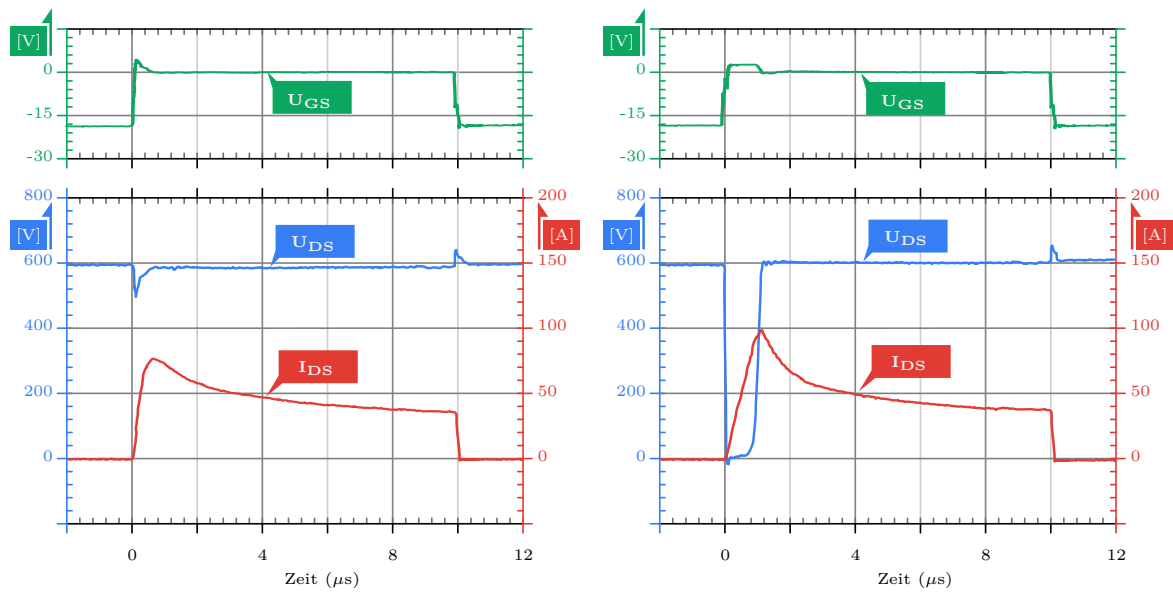
2.4 Statisches und dynamisches Verhalten der SiC-Leistungstransistoren

Statisch	Bedingungen		LJFET(N-on)	VJFET(N-on)	VJFET(N-off)	MOSFET I	MOSFET II	IGBT 4
A _{gesamt} (mm ²)			10,12	9	9	16,64	13,2	27,2
A _{aktive} (mm ²)			7,7	6,6	6,6	10,8	9	17,3
E _{on} (mJ)	I _{DS} =20 A U _{DS} =600 V	25 °C	1,28	1,53	*	1	2	..
		150 °C	1,37	1,42	*	0,93	1,4	3,7
E _{off} (mJ)	U _{GS,ljfet} =−18 V... 0 V	25 °C	0,6	0,56	*	0,4	0,76	..
	U _{GS,vjfet} =−10 V...+2 V	150 °C	0,57	0,45	*	0,51	0,95	2,4
E _{rr} (mJ) Interne FLD	U _{GS,mos} =0 V...+18 V	25 °C	0,06	nicht intern verfügbar	nicht intern verfügbar	0,03	0,05	..
	U _{GE,igbt4} =−8 V...+15 V	150 °C	0,124	nicht intern verfügbar	nicht intern verfügbar	0,032	0,055	1,64 extern

Tabelle 2.3: Dynamische Parameter der SiC-Bauelemente im Vergleich zum *Infineon*-IGBT4; (*hohe Sperrströme, hoher R_{DS,on})

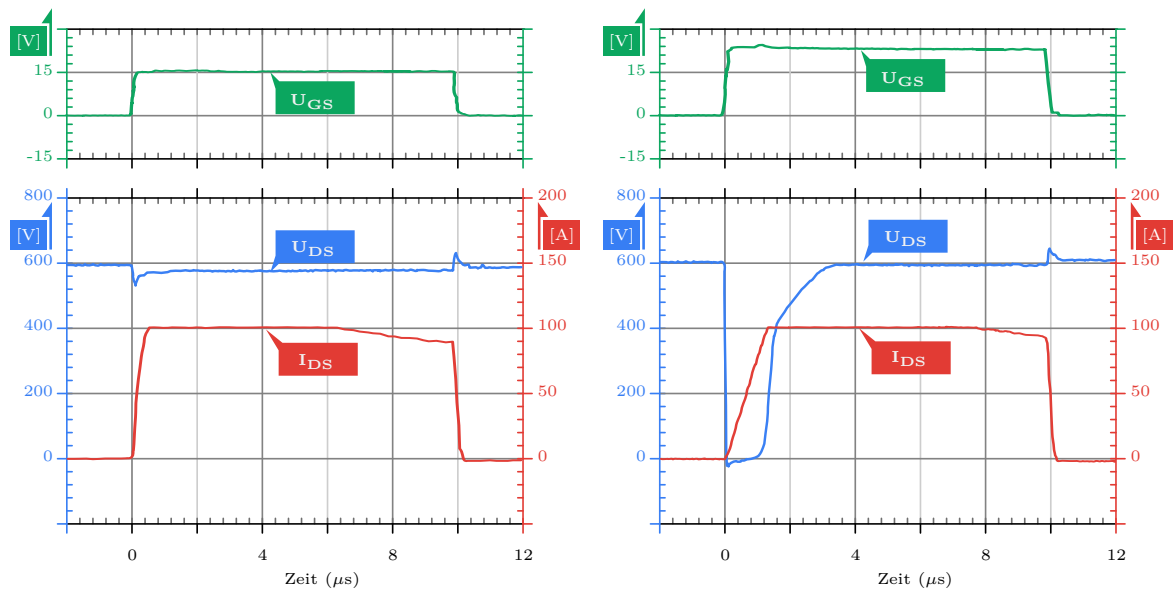
Abbildung 2.12 zeigt den SiC-LJFET (*Infineon*) und den SiC-MOSFET (*Cree*) unter der Belastung von Kurzschluss I und II. Die Kurzschlusszeit wird auf 10 µs festgelegt, um zu hohe thermische Belastungen der Bauelemente zu vermeiden. Beim Kurzschluss sind die Verluste wegen der hohen Werte von Strom und Spannung sehr hoch. Als Folge steigt die Temperatur des Bauelements sehr schnell an. Im SiC-JFET steigt der R_{DS,on} mit steigender Temperatur an. Dadurch wird der Kurzschlussstrom stark begrenzt. Dies erhöht die Kurzschlussfestigkeit des Transistors und schafft mehr Zeit für die Detektierung und die Behandlung des Kurzschlusszustandes im Treiber.

Im SiC-MOSFET ist der R_{DS,on}-Anstieg wegen des Absenkens vom Kanalwiderstand (R_{ch}) mit steigender Temperatur viel geringer als beim SiC-JFET. Der Kurzschlussstrom wird beim SiC-MOSFET auf das 4- bis 5-fach des Nominalstromes begrenzt, während er beim SiC-JFET bei etwa dem 2-fachen liegt. Infolgedessen ist die thermische Belastung des Transistors während der Kurzschlusszeit beim SiC-MOSFET größer. Alle getesteten Bauelemente beherrschen sicher den Kurzschluss I und II für eine Zeit von t_{sc}=10 µs, was Grundvoraussetzung für den Einsatz in den Leistungselektronischen Systemen ist.



a.) Kurzschluss I des SiC-JFET (*Infineon*):
 $t_{sc}=10\text{ }\mu\text{s}$, $U_{ZK}=600\text{ V}$, $R_G=12\text{ }\Omega$, $T=150^\circ\text{C}$,
 $U_{DS,max}=633\text{ V}$, $I_{SC,max}=77\text{ A}$ $E_{SC}=280\text{ mJ}$

b.) Kurzschluss II des SiC-JFET (*Infineon*):
 $t_{sc}=10\text{ }\mu\text{s}$, $U_{ZK}=600\text{ V}$, $R_G=12\text{ }\Omega$, $T=150^\circ\text{C}$,
 $U_{DS,max}=637\text{ V}$, $I_{SC,max}=100\text{ A}$ $E_{SC}=265\text{ mJ}$



c.) Kurzschluss I des SiC-MOSFET (*Cree*):
 $t_{sc}=10\text{ }\mu\text{s}$, $U_{ZK}=600\text{ V}$, $R_G=12\text{ }\Omega$, $T=150^\circ\text{C}$,
 $U_{DS,max}=618\text{ V}$, $I_{SC,max}=102\text{ A}$ $E_{SC}=570\text{ mJ}$

d.) Kurzschluss II des SiC-MOSFET (*Cree*):
 $t_{sc}=10\text{ }\mu\text{s}$, $U_{ZK}=600\text{ V}$, $R_G=12\text{ }\Omega$, $T=150^\circ\text{C}$,
 $U_{DS,max}=640\text{ V}$, $I_{SC,max}=102\text{ A}$ $E_{SC}=506\text{ mJ}$

Abbildung 2.12: Verhalten von SiC-LJFET (*Infineon*) bzw. SiC-MOSFET (*Cree*) im Kurzschluss I und II

2.4.3 Umrichterverhalten

Der simulierte Umrichterstrom in Abhängigkeit von der Frequenz ist in Abbildung 2.13 für die unterschiedlichen Bauelemente und im Vergleich zum IGBT4 dargestellt.

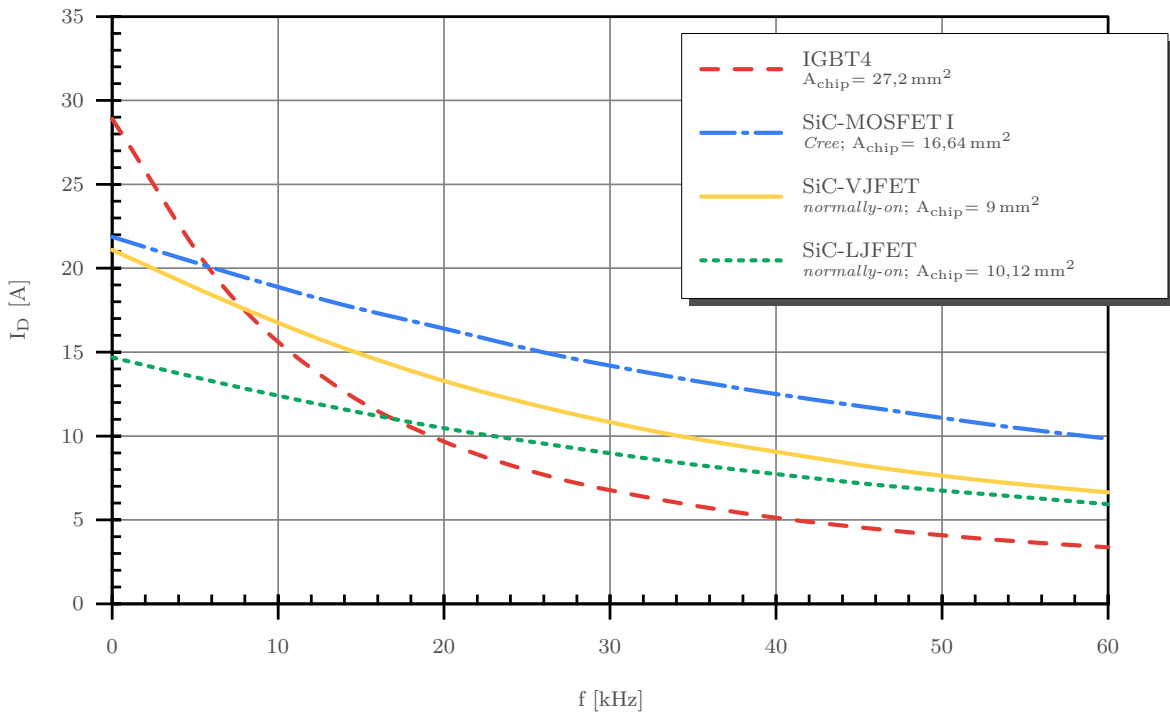


Abbildung 2.13: simulierter maximaler Umrichterstrom in Abhängigkeit von der Frequenz bei Luftkühlung (P14_120); $T_{j\text{max}}=175^\circ\text{C}$, $T_{\text{am}}=40^\circ\text{C}$, $U_{\text{ZK}}=600 \text{ V}$, U_{GS} der Bauelemente entspr. Tabelle 2.3

Für die Frequenz $f=0 \text{ kHz}$ (statischer Zustand) wird der maximale verfügbare Strom vom $R_{\text{DS,on}}$ bestimmt. Hier zeigt der IGBT4 die beste Performance wegen seiner niedrigen $U_{\text{CE,sat}}$ -Spannung und größeren Chipfläche bzw. niedrigeren R_{th} . Die Stromkurve des SiC-VJFET liegt trotz seines niedrigen $R_{\text{DS,on}}$ niedriger als die Stromkurve des SiC-MOSFET. Dies ist auf die kleinere Chipfläche des SiC-VJFET und seinen größeren R_{th} zurückzuführen. Für Frequenzen größer 0 kHz werden die jeweiligen Schaltverluste zunehmend bestimmend. Es ist zu erkennen, dass ab ca. 16 kHz alle dargestellten SiC-Bauelemente einen höheren Ausgangsstrom als der IGBT4 haben. Bei ca. 30 kHz beträgt der maximale IGBT-Strom nur noch ca. 50 % vom SiC-MOSFET-Strom. Bei hohen Frequenzen hat der SiC-MOSFET den höchsten Ausgangsstrom gefolgt vom SiC-VJFET, der allerdings eine deutlich kleinere Fläche hat.

2.5 Betrachtungen zu den Ansteuerungen der verschiedenen SiC-Leistungsbaulemente

Ob ein *normally-on* oder *normally-off* SiC-Bauelement verwendet wird, ist aus energetischer Sicht für leistungselektronische Systeme egal, solange die Durchlass- und Schaltverluste gleich sind. Aus Ansteuerungssicht haben *normally-on* SiC-Bauelemente im Gegensatz zu *normally-off* SiC-Bauelementen unterschiedliche Anforderungen, so dass spezielle Schaltungstopologien und Schutzschaltungen notwendig sind.

2.5.1 SiC-MOSFET

Der SiC-MOSFET kann dank seiner *normally-off* Charakteristik als Einzelschalter eingesetzt werden. Anders als bei Si-MOSFETs werden SiC-MOSFETs allerdings mit erweitertem Spannungshub angesteuert, um einen niedrigen $R_{DS,on}$ zu erhalten [10, 30, 31]. Während Si-MOSFETs in der Regel zwischen 0 V und 10 V angesteuert werden, werden für SiC-MOSFETs 0 V... +18 (+20) V als Werte in den Datenblättern angegeben.

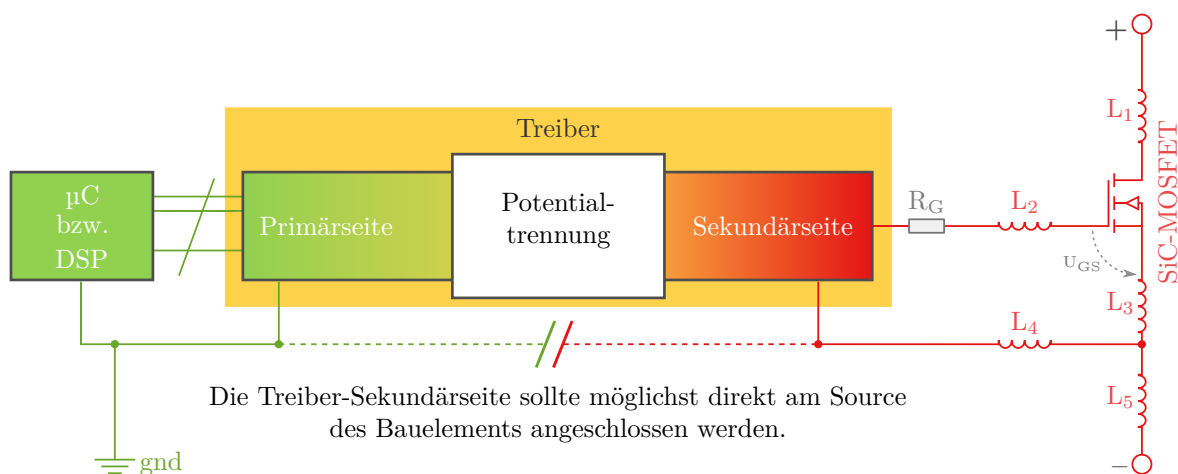


Abbildung 2.14: Direkte Ansteuerung des SiC-MOSFET; L_1 , L_2 und L_3 sollen sehr niedrig sein, um hohe du/dt der Gate-Spannung zu erhalten

Nach [10, 30, 32] ist für den SiC-MOSFET von *Cree* das di/dt des Ausgangsstroms besonders stark vom du/dt der Gate-Source-Spannung abhängig. Da zusätzlich noch die Schwellspannung relativ niedrig ist, bedingt dies eine erhöhte Empfindlichkeit gegenüber parasitären Komponenten im Ansteuer- als auch Lastkreis.

Abbildung 2.14 zeigt die Ansteuerung eines SiC-MOSFET mit den möglichen parasitären Induktivitäten im Ansteuer- und Lastkreis. Insbesondere spielt hier L_3 wegen

des Einflusses sowohl auf den Ansteuerkreis als auch auf den Lastkreis eine große Rolle. Im Ansteuerkreis erhöhen die parasitären Induktivitäten L_2 , L_3 und L_4 die gesamte Impedanz gegen den Gate-Stromfluss, was zu niedrigeren du/dt der Gate-Source-Spannung und längeren Einschalt- bzw. Ausschaltverzögerungszeiten sowie zur Verringerung der verfügbaren U_{GS} führt (siehe Gleichung 2.2). Letzter Effekt wird durch die Gegenkopplung von L_3 beim Einschalten noch verstärkt. Als Folge sind niedrigere di/dt des Ausgangsstroms sowie höhere $R_{DS,on}$ -Werte zu erwarten.

$$U_{GS} = U_{on} - I_G \cdot R_G - L_2 \cdot \frac{di_g}{dt} - L_3 \cdot \left[\frac{di_g}{dt} + \frac{di_o}{dt} \right] - L_4 \cdot \frac{di_g}{dt} \quad (2.2)$$

(U_{on} ist die Gateeinschaltspannung, mit der das Bauelement eingeschaltet wird)

Weiterhin können die genannten Induktivitäten gemeinsam mit der Eingangskapazität des Bauelements einen Schwingkreis bilden, was letztendlich zu unerwünschten Schwingungen im Ansteuerkreis bzw. zum ungewollten Einschalten des Bauelements führen kann. Deshalb ist es besser SiC-MOSFET wegen der niedrigen Schwellspannung und der hohen Ausschaltgeschwindigkeiten (kein Tailstrom) mit negativer Spannung auszuschalten.

Die Minimierung der parasitären Komponenten im Ansteuerkreis kann durch die direkte Platzierung des Treibers am Bauelement erreicht werden. Von einem gemeinsamen Ground-Potenzial von Primär- und Sekundärseite, z. B. am BOT-Schalter einer Halbbrückentopologie ist abzuraten.

2.5.2 SiC-JFET

Sowohl *normally-on* als auch *normally-off* SiC-JFET können direkt angesteuert werden. Während die Ansteuerung des *normally-off* Transistors der des SiC-MOSFET mit einigen Abweichungen ähnelt, stellt die Ansteuerung des *normally-on* Transistors wegen der *normally-on* Charakteristik eine spezielle Herausforderung dar.

Für die Ansteuerung von *normally-off* SiC-VJFETs ist prinzipiell der Einsatz kommerzieller IGBT-Treiber (max. -15 V...15 V) möglich. Allerdings benötigt der SiC-VJFET von *Semisouth* einen statischen Gate-Strom von ca. 200 mA im Ein- Zustand [33]. Dies setzt ein relativ hohes Stromvermögen des eingesetzten Treibers voraus. Eine andere Besonderheit ist die niedrige Schwellspannung von ca. 0,7 V, welche mit steigender Temperatur ca. 1,5 mV/K sinkt [34]. Die niedrige Schwellspannung erhöht die Gefahr des ungewollten Einschaltens bei hohen du/dt , insbesondere weil $C_{GS} \ll C_{GD}$ ist [34],

d. h. der Einsatz negativer Gate-Spannung ist notwendig, um die Immunität gegenüber einem ungewollten Aufsteuern des Transistors zu erhöhen. Zusammenfassend lässt sich sagen, dass insbesondere der hohe Gate-Leckstrom des *normally-off* SiC-VJFETs von *Semisouth* einem sinnvollen praktischen Einsatz widerspricht.

Wie bereits im Abschnitt 2.3 erwähnt, führen die *normally-on* Bauelemente zu Schwierigkeiten beim Hochfahren des Systems bzw. beim plötzlichen Verlust der Versorgungsspannung des Treibers. Die *normally-on* Charakteristik kann auf unterschiedliche Art und Weise behandelt werden. So kann z. B. das Problem beim Hochfahren des Systems so gelöst werden, indem die Versorgungsspannung des Treibers vor der Zwischenkreisspannung eingeschaltet wird. Dies setzt eine gute Kommunikation zwischen Treiber und übergeordneter Steuereinheit voraus. Allerdings wird dabei das Problem des Verlustes der Treiber-Versorgungsspannung nicht gelöst. Dies kann durch eine zusätzliche Hilfsspannung vermieden werden (Redundanz), was Nachteile für die Systemkosten bedeutet [35].

In der Literatur beschäftigen sich zahlreiche Beiträge mit der *normally-on* Charakteristik und stellen verschiedene Konzepte als mögliche Lösung heraus. So zum Beispiel wird in [36] der SiC-JFET mit einem transformatorischen gekoppelten Gatetreiber angesteuert. Dafür wird ein Sperrwandler (*flyback converter*) für die direkte Ansteuerung des SiC-JFET eingesetzt. Zur Vermeidung des *normally-on* Betriebs wird eine Kapazität, die die Gateausschaltenergie für bestimmte definierte Zeit speichert, eingesetzt. Diese Lösung begrenzt den Ansteuergrad und besitzt mangelnde Zuverlässigkeit, da zum Ersten das Ausschalten nur für bestimmte Zeit garantiert werden kann, und zum Zweiten den *normally-on* Betrieb beim Hochfahren des Systems nicht verhindern kann. Eine ähnliche Lösung mit den gleichen Nachteilen ist in [37] vorgestellt. Hier wird eine relativ große Kapazität von ca. 100 μF im Vergleich zu [36] beim normalen Betrieb geladen. Die gespeicherte Energie kann beim Ausfall der Treiber-Versorgungsspannung den Ausschaltzustand des SiC-JFET für eine Zeitspanne von ca. 12 Minuten halten.

Anderes als die genannten Lösungen der Energiespeicherung in einer Kapazität wird der *normally-on* Betrieb in [38, 39, 40] mit einer sogenannten Selbst-Schutz-Schaltung behandelt. Dabei wird durch einen zusätzlichen SiC-JFET die Betriebsspannung des Gatetreibers aus der Zwischenkreisspannung gewonnen. Der Transistor arbeitet dabei als Längsregler und versorgt eine Schaltung, die wiederum die nötige negative Gateabschaltspannung generiert. Diese Lösung nimmt ca. 200 μs beim Hochfahren des Systems in Anspruch, um den Bereitschaftszustand zu erreichen. In dieser Zeit sind die Bauelemente in einer Halbbrücke dem Querkurzschluss ausgesetzt und werden thermisch stark

belastet. Eine Verkürzung der Bereitschaftszeit beim Hochfahren auf ca. $10\text{ }\mu\text{s}$ (durch Verkleinerung der Pufferkapazitäten) wird in [41] vorgenommen. Trotzdem führt der wiederholte Kurzschluss beim Hochfahren zur Degradation der SiC-JFETs [39]. Außerdem ist diese Lösung nur für Schalter, die auf erdnahem Potenzial bzw. negativem Zwischenkreispotenzial (z. B. BOT-Schalter) liegen, geeignet. Bei dem derzeitigen Preis der Bauelemente ist diese Lösung insbesondere in kleinen Systemen nicht ökonomisch, weil ein zusätzlicher SiC-JFET nötig ist, um die negative Gateabschaltspannung bereitzustellen.

Die bereits genannten Lösungen zum Vermeiden von *normally-on* Problem bieten keine hundertprozentige Garantie zur Einhaltung der *normally-off* Charakteristik des Schalters bzw. zum sicheren Betrieb des Systems. In der Leistungselektronik ist der Wunsch nach einer *normally-off* Charakteristik groß. Dieser Wunsch lässt sich für *normally-on* Bauelemente durch das Kaskodeprinzip erfüllen. Das Kaskodeprinzip selbst ist in der Leistungselektronik alt bekannt und wird vielfältig eingesetzt, z. B. die MOSFET-*Field Controlled Thyristors*-Kaskode (MOSFET-FCT) [42], GTO-Kaskode [43] oder der *Emitter-Switched Bipolar Transistor* (ESBT) [44, 45]. Ziel der Kaskode ist ein unkontrolliertes Einschalten des *normally-on* Bauelementes bei Ausfall der Steuerspannung zu verhindern. Als pragmatischste, zuverlässigste und preiswerteste Lösung zur Ansteuerung von *normally-on* Bauelementen hat sich mittlerweile die Standard-Kaskode bzw. die Kaskode-Light herauskristallisiert.

2.5.3 Standard-Kaskode

Bei der Standard-Kaskode handelt es sich um eine Reihenschaltung eines Hochvolt-SiC-JFET mit einem Niedervolt-Si-NMOS-Transistor wie in Abb. 2.15 a dargestellt. Das Gate des SiC-JFET ist mit dem Source des Si-NMOS-Transistors verbunden. Gate und Source des Si-NMOS-Transistors, und Drain des SiC-JFET bilden die drei Anschlüsse des kombinierten Leistungsbauelementes.

Die Standard-Kaskode wird durch den Si-NMOS-Transistor angesteuert. Dabei können konventionelle MOSFET-Treiber eingesetzt werden. Beim Einschalten wird der Si-NMOS-Transistor eingeschaltet. Die Spannung im Punkt D_m bzw. S_j beginnt beim Umladen der Millerkapazität des Si-NMOS-Transistors zu sinken, was am Ende die Aufsteuerung des SiC-JFET-Kanals mit einer Gate-Spannung $U_{GS,jfet} = -U_{DS,mos} < 0\text{ V}$ verursacht. Da $U_{GS,jfet}$ nicht $> 0\text{ V}$ wird, ist der $R_{DS,on}$ höher als der eigentlich erreichbare $R_{DS,on}$ des SiC-JFET.

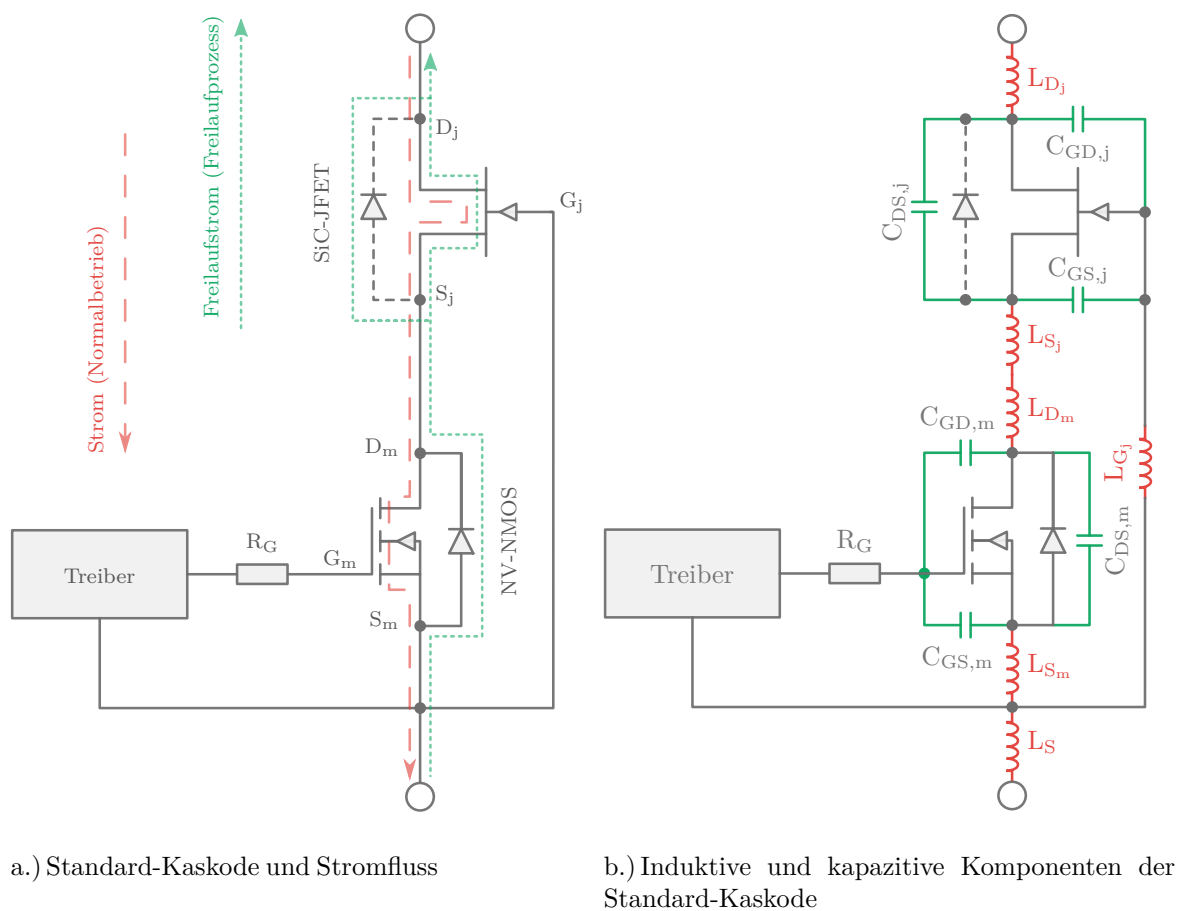


Abbildung 2.15: Standard-Kaskode nach [46]; Indirekte Ansteuerung des SiC-JFET durch NV-NMOS-Transistor

Beim Ausschalten beginnt die Spannung im Punkt D_m bzw. S_j beim Umladen der Millerkapazität des Si-NMOS-Transistors zu steigen. Währenddessen bleibt die Spannung am Punkt G_j auf dem Potenzial des Punktes S_m . Dadurch bildet sich eine betragsmäßig höhere negative Spannung $U_{GS,jfet}$ aus, welche zum Ausschalten des SiC-JFET führt. Diese negative Spannung bildet sich automatisch beim Hochfahren des Systems bzw. beim Ausfall der Betriebsspannung wegen der *normally-off* Charakteristik des Si-NMOS-Transistors aus. Dies verleiht der Standard-Kaskode insgesamt die *normally-off* Charakteristik.

Im Freilaufvorgang wird die Body-Diode des Si-NMOS-Transistors in Durchlassrichtung gepolt, wodurch der Kanal des SiC-JFET mit einer Spannung $U_{GS,jfet} = -U_{F,mos}$ aufgesteuert wird. Der Freilaufstrom fließt durch die Body-Diode des Si-NMOS-Transistors und des SiC-JFET bzw. durch den Kanal des SiC-JFETs sobald dieser eingeschaltet ist. Die Verbesserung des Freilaufvorgangs kann durch das parallele Einschalten des

Si-NMOS-Transistors erreicht werden (in einer Halbbrücke natürlich erst nach der Totzeit). Die Flussspannung der Freilaufdiode des SiC-LJFETs von *Infinion* ist sehr hoch (siehe Abbildung 2.9). Der SiC-VJFET von *Semisouth* besitzt keine interne Freilaufdiode. Deshalb ist es vorteilhafter eine externe Freilaufdiode einzusetzen.

Neben der *normally-off* Charakteristik und der einfachen Ansteuerung hat die Standard-Kaskode-Anordnung weitere Vorteile. Z. B. lassen sich hochsperrende Schalter (super cascode) bilden, die einfach angesteuert werden können [47]. Auf der anderen Seite besitzt die Standard-Kaskode einige Nachteile und Beschränkungen:

Verluste: Die Standard-Kaskode Anordnung besteht aus zwei in Reihe geschalteten Bauelementen, was wiederum mehr Verluste bedeutet. Die Weite des Si-NMOS-Transistor muss deshalb groß genug ausgewählt werden, um seine Durchlassverluste niedrig zu halten (weniger als 5% der gesamten Durchlassverluste). Dabei besitzt der Transistor relative hohe Ein- und Ausgangskapazitäten, die hohe Schaltverluste des gesamten Schalters verursachen [48]. Besonderen Einfluss hat hier die Ausgangskapazität der Standard-Kaskode, die nach [49] beim Ausschalten in zwei Phasen entsprechend Gleichungen 2.3 und 2.4 aufgeteilt werden kann (siehe dazu Abb. 2.15 b). Die Kapazität ist dabei deutlich größer als beim direkt angesteuerten SiC-JFET.

$$C_{out} = C_{GD,m} + C_{DS,m} + C_{GS,j} + C_{GD,j} \quad \text{für } U_{DS,mos} < |U_{pi}| \quad (2.3)$$

$$C_{out} = C_{DS,j} + C_{GD,j} \quad \text{für } U_{DS,mos} > |U_{pi}| \quad (2.4)$$

Die Durchlassverluste der Standard-Kaskode sind ebenfalls recht hoch da keine positive Gate-Spannung am JFET-Gate ($U_{GS,jfet} = -U_{DS,mos} < 0$) erzeugt werden kann. Dies kann durch die in Abbildung 2.16 rot gepunktete Schaltung verbessert werden. Dabei wird die Gate-Source-Spannung des JFET auf positive Werte (z. B. +2...4 V) angehoben und damit der $R_{DS,on}$ deutlich reduziert. Alles in allem hat die Standard-Kaskode höhere Verluste im Vergleich zum direkt angesteuerten SiC-JFET [20].

Schaltverhalten: Das Ein- und Ausschalten des SiC-JFET erfolgt in der Zeit, wo die Millerkapazität des Si-NMOS-Transistor umgeladen wird. D. h. der SiC-JFET muss in dieser Zeit vollständig ein- oder ausgeschaltet werden, um die Steuerbarkeit nicht zu verlieren. Dies erschwert die Kontrolle von du/dt und di/dt [50]. Außerdem besitzt die Standard-Kaskode im Vergleich zum einfachen SiC-JFET im Steuerkreis mehr parasitäre Induktivitäten L_{Gj} , L_{Sj} , L_{Dm} und L_{Sm} , die in der Abbildung 2.15 b dargestellt sind. Die letzten Drei bilden eine Gegenkopplung, was die Steuerbarkeit verschiede-

ner Schaltparameter stark beeinflusst. Das Einbauen von hohen Gate-Widerständen für den SiC-JFET zur Kontrolle von du/dt und di/dt ist mit der Gefahr des Durchbruchs des Si-NMOS-Transistor verbunden [51]. Das Schaltverhalten wird auch vom Verhalten der Body-Diode des Si-NMOS-Transistor, welche als Freilaufdiode fungiert, beeinflusst [52, 53] (in Brückenschaltungen). Trotz der möglichen Beschaltungen zur Kontrolle einiger Parameter, wie z.B. des du/dt in [54], bleibt der Freiheitsgrad bei der Ansteuerung im Vergleich zur direkten Ansteuerung beschränkt.

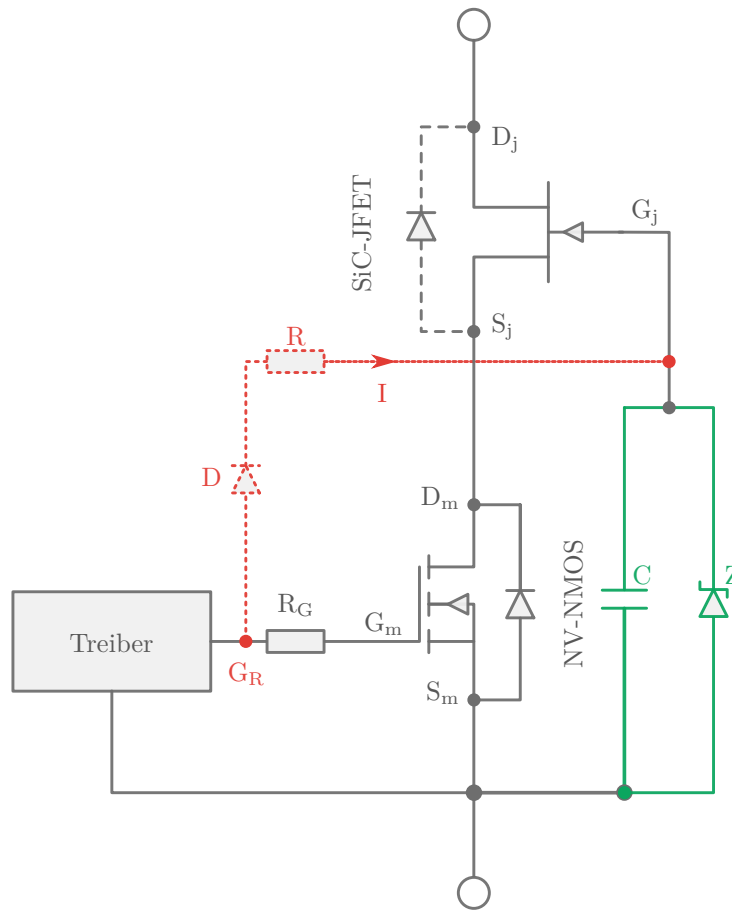


Abbildung 2.16: *Capacitor-Clamped* Kaskode zur Verbesserung des Ansteuerungsgrades bzw. der Performance der Standard-Kaskode nach [48] (grün); Verbesserung des $R_{DS,on}$ durch die Reihenschaltung von Diode D und Widerstand R zwischen G_j und G_R und Möglichkeit einer positiver $U_{GS,jfet}$ (rot)

Durch die sogenannte *Capacitor-Clamped*-Kaskode [48] lässt sich der Ansteuerungsgrad und damit die Performance der Standard-Kaskode verbessern. Dies wird durch das Einbringen einer Kapazität (C) mit einer parallel geschalteten Zener-Diode (Z) zwischen dem Gate des SiC-JFET und dem Source des Si-NMOS-Transistor entsprechend Abbil-

dung 2.16 erreicht. Die Kapazität (C) verursacht eine Verkleinerung der Ausgangskapazität, was zur besseren dynamischen Performances im Vergleich zur Standard-Kaskode führen kann. Außerdem kann die Ein- und Ausschaltgeschwindigkeit durch die Änderung des Kapazitätswerts kontrolliert werden. Der Kanal des SiC-JFET wird in diesem Verfahren nach [48] mit $U_{GS,jfet} = -0.6\text{ V}$ aufgesteuert. D. h. wie bei der Standard-Kaskode ist der $R_{DS,on}$ höher als der eigentlich erreichbare $R_{DS,on}$ des Bauelements. Durch die in Abbildung 2.16 rot gepunktete Schaltung kann aber die Gate-Spannung angehoben werden. Dabei ist mit einem statischen Gate-Strom I im eingeschalteten Zustand des SiC-JFET zu rechnen (Gate-Source-Übergang des SiC-JFET in Durchlassrichtung gepolt). Die *Capacitor-Clamped*-Kaskode kann im sogenannten *Synchron-Modus* betrieben werden. Dabei wird auf eine externe Freilaufdiode, die leicht bessere Durchlass-Performance liefert [48], verzichtet werden, was Platz und Kosten sparen kann.

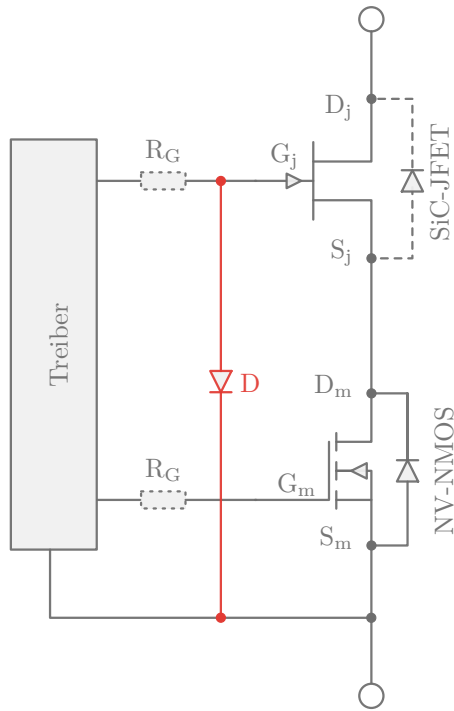
Temperatur und Frequenz: Durch das Zusammenschalten von Si-NMOS-Transistor und SiC-JFET wird die Einsatztemperatur des Schalters auf die Si-Betriebstemperatur von $\leq 175^\circ\text{C}$ beschränkt [20]. Gleichmaßen ergibt sich auch eine Beschränkung der Schaltfrequenzen durch den Si-NMOS-Transistor (ca. 200 ... 300 kHz). Beide Grenzwerte stellen allerdings heute noch keine wirkliche Beschränkung der leistungselektronischen Applikationen dar.

2.5.4 Kaskode-Light Konzept

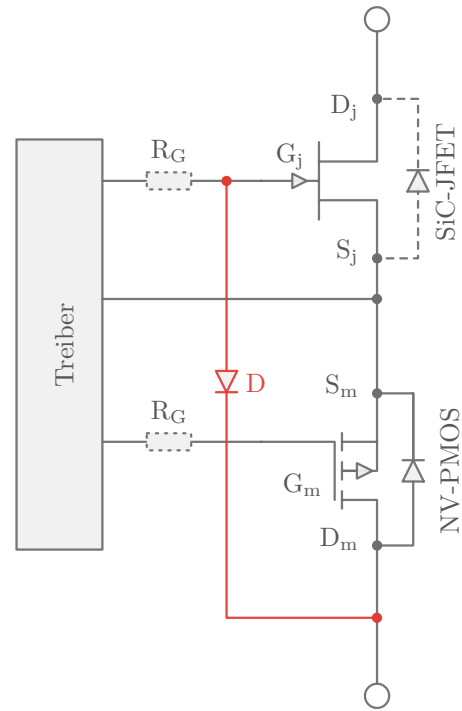
Die herkömmliche Kaskode-Schaltung weist trotz ihrer einfachen Ansteuerung einige Nachteile auf, die im Abschnitt 2.5.3 dargelegt wurden. Diese Nachteile können durch die Kaskode-Light [55, 56] gemildert oder zum Teil überwunden werden.

Abbildung 2.17 a zeigt die Kaskode-Light nach [55, 56]. Sie besteht wie die klassische Kaskode-Schaltung aus der Reihenschaltung des *normally-on* Hochvolt-SiC-JFET mit einem *normally-off* Niedervolt-NMOS-Transistor. Im Unterschied zur herkömmlichen Kaskode-Schaltung wird die direkte Verbindung zwischen dem Gate des SiC-JFET und dem Source des NV-NMOS-Transistor durch eine Diode getrennt.

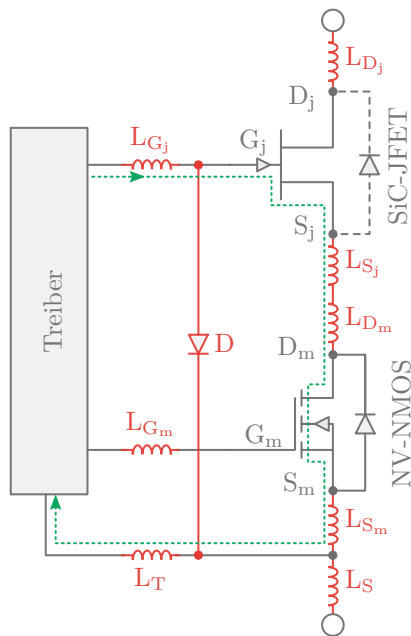
Die Diode ermöglicht die direkte Ansteuerung der beiden Halbleiterschalter durch den Gatetreiber [55]. Gleichzeitig gewährleistet sie die *normally-off* Charakteristik beim Hochfahren des Systems bzw. beim Ausfall der Betriebsspannungsversorgung. Weiterhin ist diese Diode vorteilhaft für alle SiC-JFET, die mit $U_{GS\text{ max. }0,7\text{ V}}$ Spannung



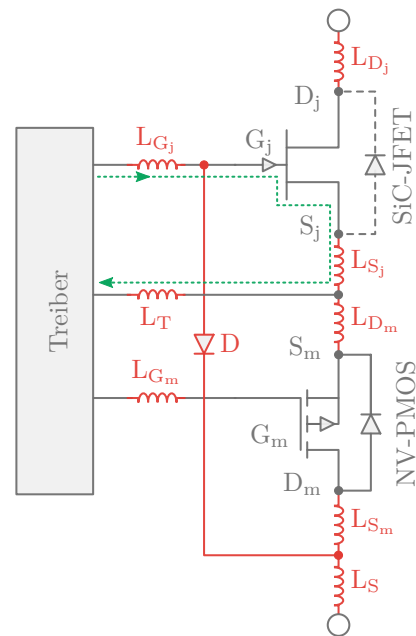
a.) Kaskode-Light NMOS-Variante nach [55]



b.) Kaskode-Light PMOS-Variante nach [25]



c.) Induktivitäten im Ansteuerkreis der Kaskode-Light NMOS-Variante



d.) Induktivitäten im Ansteuerkreis der Kaskode-Light PMOS-Variante

Abbildung 2.17: Kaskode-Light in zwei Varianten

eingeschaltet werden sollen. Sie schützt das Gate des SiC-JFET gegen die wegen des Miller-Effekt am Gate auftretenden positiven Spannungen und verhindert damit, dass der Gate-Source-Übergang des SiC-JFET in den Durchlasszustand geht. Im Gegensatz dazu begrenzt sie allerdings die weitere Reduzierung des Kanalwiderstandes des SiC-JFET, da die Gate-Spannung nicht über $0,7\text{ V}$ ansteigen kann. Infolgedessen kann der minimale Wert des $R_{DS,on}$ insbesondere für den SiC-VJFET nicht erreicht werden, was wiederum höhere Durchlassverluste bedeutet [57, 58]. Die Diode muss eine Spannungsfestigkeit größer als die Gateabschaltspannung des SiC-JFET (z. B. 25 V) besitzen. Durch die durch die Diode entstehende Entkopplung, kann sowohl der NV-NMOS-Transistor als auch der SiC-JFET direkt angesteuert werden. Die Kombination von SiC-JFET und NV-NMOS-Transistor verlangt eine negative Spannung zur Ansteuerung des SiC-JFET und eine positive Spannung zur Ansteuerung des NV-NMOS-Transistors. Dies erhöht die Komplexität des Treibers.

Eine intelligente Variante ist in Abbildung 2.17 b zu sehen. Dort wird anstatt eines NV-NMOS-Transistor ein NV-PMOS-Transistor, welcher mit negativer Spannung angesteuert werden kann, eingesetzt. Damit kann der gesamte Kaskode-Schalter mit negativer Spannung betrieben werden. Ein anderer wichtiger Vorteil, welcher durch den Einsatz von NV-PMOS-Transistor entsteht und in Abbildung 2.17 d zu sehen ist, ist die niedrigere Anzahl der Induktivitäten im Ansteuerkreis im Vergleich zu NV-NMOS-Transistor-Variante in Abbildung 2.17 c (der Ansteuerkreis ist grün gestrichelt in den Schaltungen eingetragen). Dadurch wird die Steuerbarkeit verbessert (weniger Rückkopplung über Millerkapazität, geringere Absenkung der wirksamen Gate-Spannung). Die etwas höheren Kosten des NV-PMOS-Transistors im Vergleich zum NV-NMOS-Transistor bei gleichem niedrigen $R_{DS,on}$ fallen gegenüber den höheren Treiberkosten und denen des SiC-JFET nicht ins Gewicht. Der NV-PMOS-Transistor bringt höhere Ein- und Ausgangskapazitäten mit sich, die beim Ansteuerszenario C (siehe Abbildung 2.18) keine Auswirkungen auf den dynamischen Schaltvorgang und die Schaltverluste haben, bei den Ansteuerszenarios A und B schon. Im Gegensatz zur herkömmlichen Kaskode-Schaltung kann der SiC-JFET unabhängig vom NV-MOSFET beliebig angesteuert werden. Dadurch sind für den SiC-JFET beliebig unterschiedliche Gate-Spannungen sowie Ein- und Ausschaltgeschwindigkeiten möglich. Außerdem können verschiedene Ansteuerszenarios entsprechend Abbildung 2.18 angewendet werden.

In den Szenarios A und B wird der NV-MOSFET mit einer Zeitdifferenz t kurz nach dem Ausschalten des SiC-JFET ausgeschaltet bzw. kurz vor dem Einschalten des SiC-JFET eingeschaltet. Dadurch ist der NV-MOSFET am dynamischen Schaltprozess nicht

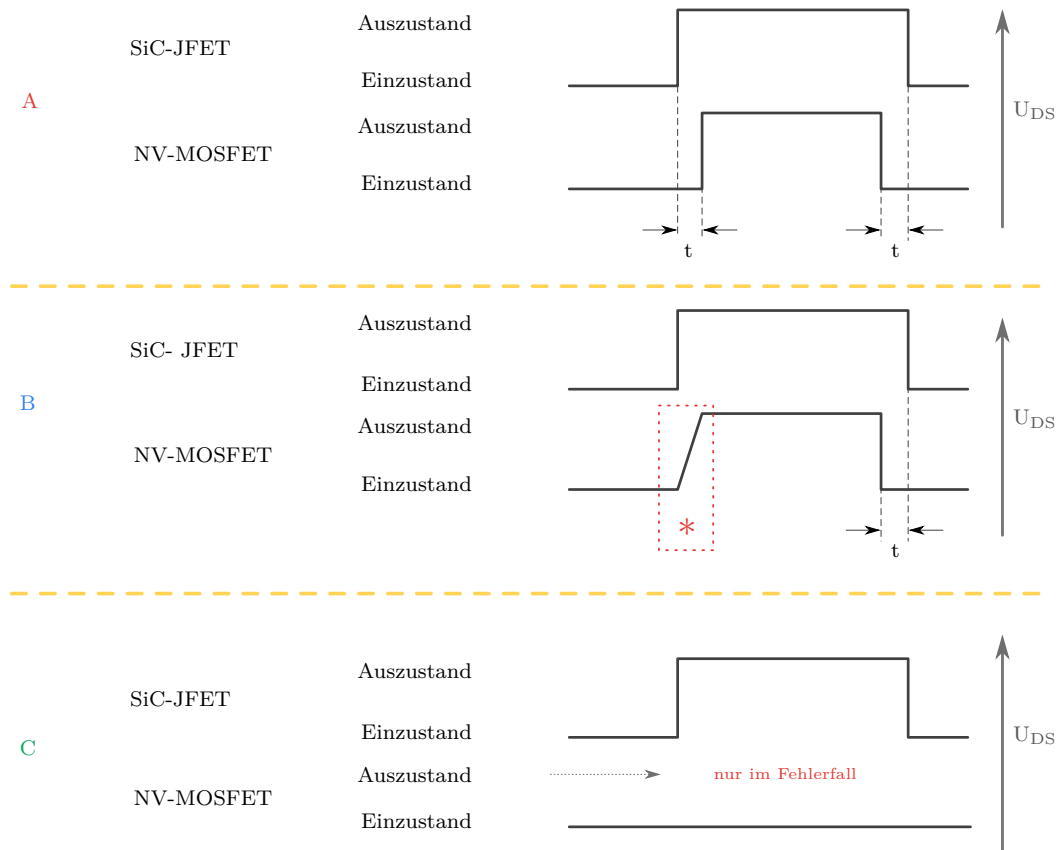


Abbildung 2.18: Verschiedene Ansteuerszenarios A, B und C;

[* in diesem Fall ist die Verkleinerung der Treiber-Endstufe für NV-MOSFET möglich]

beteiligt. Gleichzeitig wird das ungewollte Einschalten des SiC-JFET aufgrund des Miller-Effekts vermieden werden. Ein weiterer Vorteil ist die mögliche Realisierung einer Ladungspumpe zur Versorgung des Treibers [59]. Um diese Ansteuerszenarios umzusetzen, muss der NV-MOSFET so schnell wie der SiC-JFET ein- und ausgeschaltet werden. Dafür braucht er wegen seiner größeren Eingangskapazität (ca. 6-fach größer als beim SiC-JFET) eine viel größere Treiber-Endstufe im Vergleich zum SiC-JFET.

Im Szenario C bleibt der NV-MOSFET permanent eingeschaltet. Das Leiten und Sperren des Kaskode-Schalters wird ausschließlich durch die Ansteuerung des SiC-JFET geregelt. Dadurch nimmt die Ausgangskapazität des gesamten Schalters im Vergleich zur herkömmlichen Kaskode-Schaltung ab [49]. Infolgedessen reduzieren sich die Schaltverluste. Der NV-MOSFET wird nur bei Betriebsspannungsunterversorgung ausgeschaltet, was wiederum wegen der vorhandenen *clamping*-Diode zum Ausschalten des SiC-JFET führt.

2.6 Historie der Treiberentwicklung für SiC-Bauelemente

In der langjährigen Geschichte der Entwicklung von SiC-Transistoren hat sich der SiC-JFET trotz seiner *normally-on* Charakteristik als erster Kandidat präsentiert, da alternative SiC-MOSFET-Bauelemente über viele Jahre instabile Gateoxide aufwiesen. Deshalb hat sich die Geschichte der Treiber-Entwicklung für SiC-Transistoren ständig mit ihm befasst. Allerdings gibt es mittlerweile Hersteller von SiC-MOSFETs, die über zuverlässige Gateoxid verfügen, so dass diesen *normally-off* Bauelementen sicher die Zukunft gehören wird.

Die erste Treiber-Entwicklung zur Ansteuerung von SiC-JFETs ist in [60] zu finden. Der Treiber wird dort diskret aufgebaut und nur für experimentelle Zwecke verwendet. Dabei wird nicht auf das *normally-on* Problem und die Besonderheiten der Ansteuerung von SiC-JFET Wert gelegt. Eine ähnliche Vorgehensweise ist in [61] zu finden. Bei den früh entwickelten Generationen der SiC-JFETs wiesen die Exemplare eine hohe Schwellspannung $> 25\text{ V}$ mit zum Teil hohen Streuungen auf. Dass heißt während für einige Bauelemente diese Schwellspannung notwendig war, konnte sie bei anderen einen Durchbruch des Gate-Source-Übergangs verursachen, da beide Größen relativ dicht beieinander lagen. Dieses Problem ist ein Schwerpunkt verschiedener in der Literatur beschriebener Treiber. In [20] befasst sich der diskret aufgebaute Treiber mit diesem engen Gate-Spannungsfenster (Bereich IV in Abbildung 2.4) und es wurde dafür die entsprechende Beschaltung entwickelt, die den hohen Stromfluss am Gate-Source-Übergang beim Durchbruch begrenzt bzw. den thermischen Durchbruch verhindert. Außerdem wird das Potenzial der direkten Ansteuerung im Vergleich zur Standard-Kaskode gezeigt. Analog zu [20] wurde in [53] das enge Gate-Spannungsfenster behandelt. Es konnten dabei die gesamten Schaltverluste im Vergleich zu [20] reduziert werden. Diskrete Treiber werden auch in [58] und [26] vorgestellt. Im ersten Fall wurde ein Treiber für die 600V-Spannungsklasse mit Schutzfunktionen gezeigt, während es sich im zweiten Fall um einen kommerziellen Treiber für 1200 V handelt. Alle vorgestellten Veröffentlichungen bieten keine integrierte Treiber-Lösung und nehmen keine Rücksicht auf das *normally-on* Problem in Halbbrückenkonfigurationen.

In [62] wurde die hohe Schwellspannung des SiC-JFET durch das Anlegen einer konstanten negativen Bias- bzw. *offset*-Spannung (U_{offset}) am Gate kompensiert. Dadurch wird der Transistor immer zwischen der *offset*-Spannung (U_{offset}) und der Gateeinschaltspannung (U_{on}) angesteuert. Dies verschlechtert den $R_{\text{DS,on}}$ beträchtlich. Intelligent wurde in [63, 64] die hohe Schwellspannung durch den Einsatz einer *boot*-

strap-Schaltung zur Erhöhung des Spannungshubs ausgeglichen, was allerdings den Tastgrad beschränkt. Im Laufe dieser Arbeit wird eine Lösung für Bauelemente mit hoher Schwellspannung dargestellt, ohne dass der $R_{DS,on}$ beeinflusst bzw. der Tastgrad beschränkt wird (siehe Abschnitt 4.2).

Ein anderes Konzept zur Behandlung der Schwellspannungs- und Gate-Durchbruchspannungsstreuungen wurde in [20], [23] und [53] vorgestellt. Dort wurde der Gate-Source-Übergang beim Abschalten ständig im *soft*-Durchbruch durch die Auswahl von fester Gate-Spannung $|U_{GS}| > |U_{BR}| > |U_{th}|$ betrieben. Dabei wird der *soft*-Durchbruch durch die sogenannte AC-Kopplung garantiert. Diese erfolgt durch die parallele Schaltung von R, C und Diode, die eine Impedanz gegen den Stromfluss bilden. Gleichzeitig kann diese Kombination einen hohen Peakstrom bereitstellen. Da die Durchbruch-Schwelle zwischen den Exemplaren unterschiedlich ist, sollte die Kombination (R, C) für jedes Bauelement individuell berechnet werden. Außerdem beschränkt die AC-Kopplung den Tastgrad. Dieses Problem wurde in [57] durch den Einsatz von stromgesteuerten Gatetreibern, welche einen konstanten Strom beim Gate-Source-Durchbruch liefern und nicht auf der AC-Kopplung beruhen, überwunden.

Auch für *normally-off* SiC-JFETs wurden zahlreiche Treiber entwickelt. In [65] ist ein diskreter Gatetreiber für *normally-off* SiC-JFETs mit einem Gate-Ansteuersignal zwischen -4 V und $+2,5\text{ V}$ gezeigt. Mit der Ansteuerspannung von $+2,5\text{ V}$ kann der niedrigste mögliche $R_{DS,on}$ des entsprechenden Transistors nicht erreicht werden. In [66] wurde ein kommerzieller Treiber für die Ansteuerung von einem lateralen *normally-off* SiC-JFET vorgestellt, welcher in einem *power-IC* integriert wurde. Ein optimierter Gatetreiber für *normally-off* SiC-VJFETs mit AC-Kopplung und zweistufiger Endstufe ist in [67, 68] gezeigt. In [34] wurde eine verbesserte AC-Kopplung, welche den Tastgrad und die Frequenz nicht beschränkt, beschrieben. Aufgrund des gegenwärtig noch hohen Gate-Leckstroms des *normally-off* SiC-JFET wird in dieser Arbeit der *normally-off* SiC-JFET nur allgemein betrachtet.

Eine diskrete Gatetreiber-Lösung für die Charakterisierung von SiC-MOSFETs wurde in [69] dargestellt. Der Treiber ist für die Charakterisierung der Bauelemente in Halbbrücken-Leistungsmodulen mit hohen Strömen von ca. 100 A konzipiert. Diese Lösung enthält keine Schutzfunktionen und ist somit unzuverlässig.

Treiber zur Behandlung vom *normally-on* Problemen mit ihren Vor- und Nachteilen (siehe Abschnitt 2.5.2) sind in verschiedenen Literaturen zu finden [38, 41, 37, 36]. In [70] ist ein Gatetreiber für die Ansteuerung von alleinstehenden SiC-Transistoren

(keine Kaskode-Anordnung) in Halbbrücken-Topologie vorgestellt. Dabei wurde auf eine galvanische Trennung zurückgegriffen. Der Treiber besteht aus drei ICs, einem primärseitigen IC, und zwei sekundärseitigen ICs für TOP und BOT einer Halbbrücke. Außerdem ist jeder Sekundärseite eine diskrete Endstufe nachgeschaltet.

In [59, 71, 72] ist ein Gatetreiber für eine Kaskode-Light-Konfiguration in Bulk-Bi-CMOS-Technologie für den Primärseiten-IC und in Bulk-BCD-Technologie (Bipolar-CMOS-DMOS) für den Sekundärseiten-IC realisiert worden. Dabei wird eine galvanische Isolation verwendet. Der Treiber ist für die Ansteuerung von Einzelschalter gedacht. Bei Halbbrücken werden zwei Treiber eingesetzt. Jeder Schalter hat seine eigene Primärseite, was die Kommunikation zwischen Beiden erschwert, so müssen z. B. Verrieglungszeiten, Totzeiten und das Abschalten der Schalter bei Fehlermeldung von der übergeordneten Steuereinheit geregelt werden. Außerdem ist das Einschalten des SiC-JFET mit positiver Spannung zur Reduzierung des $R_{DS,on}$ bei diesem Treiber nicht vorgesehen.

2.7 Ableitung der Treiberparameter für die eigene Entwicklung

Ziel dieser Arbeit ist die Entwicklung von Gatetreibern mit hohem Integrationsgrad für 1200 V SiC-Transistoren in Halbbrücken-Konfigurationen. Mit dieser Konfiguration lassen sich andere Topologien wie z.B. H-Brücke oder Vollbrücke bilden, welche in zahlreichen Applikationen zur Ansteuerung und Energieumwandlung zum Einsatz kommen können. Der Halbbrücken-Treiber ist durch die gemeinsame Primärseite der beiden Halbbrückenschalter effektiver, weil sämtliche Aufgaben der übergeordneten Steuereinheiten wie z.B. die Querverrieglung und die Fehlerbehandlung auf der Primärseite selbst realisiert werden können. Dies erhöht die Zuverlässigkeit und beschleunigt die Reaktion des Systems.

Ausgehend von den vorgestellten SiC-Bauelementen und ihren Strukturen, den statischen und dynamischen Messungen in Kapitel 2 und den in Kapitel 2.5 beschriebenen Ansteuerungsprinzipien können folgende Eigenschaften, Merkmale bzw. Kriterien für einen SiC-Gatetreiber abgeleitet werden:

Treiber, Allgemein

- Der Treiber soll 1200 V SiC-Transistoren ansteuern. Deshalb ist eine Potenzialtrennung zwischen Niederspannungsschaltungen und Hochspannungsschaltungen notwendig, die integriert werden soll.
- Der Treiber-IC soll für Halbbrücken ausgelegt sein, d. h. er besteht aus einer Primärseite mit gemeinsamen Potenzial mit der übergeordneten Steuereinheit (μC , DSP) und zwei Sekundärseiten mit dem Bezugspotenzial des Sources des zu steuernden Schalters.
- Der Treiber soll für Schaltfrequenzen bis mindestens 100 kHz einsetzbar sein und Ausgangsstufen von $\pm 1,4\text{ A}$ Peakstrom besitzen.

Primärseite

- Schnittstellen zum Signalaustausch von Ansteuer- und Fehlersignalen zwischen dem Treiber und der übergeordneten Steuereinheit (μC , DSP) sind vorzusehen.
- Kurzimpuls-Unterdrückung und Totzeitgenerierung sind zu implementieren, um die Störsicherheit zu erhöhen und fehlerhafte Zustände zu vermeiden. Die Totzeitgenerierung sichert die Querverriegelung zwischen BOT- und TOP-Schalter ab und hängt von der Schaltgeschwindigkeit der Schalter ab.
- Die Überwachung der verwendeten bzw. generierten Versorgungsspannungen ist notwendig, um den korrekten Betrieb der einzelnen Schaltungen des Treibers zu garantieren.

Potenzialtrennung⁸

Der Treiber-IC ist für Bauelemente mit Strömen $\leq 150\text{ A}$ geplant. In Systemen dieser Leistungsklasse wird auf die galvanische Trennung oftmals verzichtet. Stattdessen wird für die Signalübertragung ein HV-Levelshifter eingesetzt, welcher die nötige Isolation von 1200 V garantieren kann.

⁸Die heute verwendeten Potenzialtrennungskonzepte für Signal- bzw. Energieübertragung mit ihren Eigenschaften im Vergleich sind in der Tabelle A.1 und Tabelle A.2 im Anhang A zu finden.

Die interne Isolation der zu verwendeten IC-Technologie ist auf max. 800 V begrenzt, d. h. für 1200 V Isolationsfestigkeit müssen getrennte Chips für die Primär- und Sekundärseite in einem Multichip-Gehäuse verwendet werden. Der verwendete Levelshifter besitzt größere Koppelkapazität im Vergleich zu galvanischen Trenngliedern⁷. Dies wird in Kauf genommen, um einen kompakten und preiswerten Treiber realisieren zu können.

Sekundärseite

- Differentielle Signalübertragung zwischen Primär- und Sekundärseite, um Gleichtakt Signale zu unterdrücken.
- Signalrekonstruktion nach Levelshifter mit Filterung, Kurzimpulsunterdrückung und Auswertung der differentiell übertragenen Ansteuersignale.
- TOP- und BOT-Treiberschaltungen sind aufgrund der Halbbrückentopologie nötig.
- Die Endstufen sollen die spezifischen Treiberspannungen und den nötigen Peakstrom entsprechend der verwendeten Bauelemente liefern, um die Eingangskapazität des Bauelementes schnell umzuladen. Bei der Kaskode-Light-Anordnung sind jeweils zwei Endstufen notwendig. Die Erste für die Ansteuerung des SiC-JFET und die Zweite für die Ansteuerung des Si-MOSFET.

Folgende Ansteuerspannungen sind je nach Art des Bauelementes notwendig:

SiC-MOSFET: Ansteuerspannung zwischen -5 V und $+20\text{ V}$

normally-on SiC-JFET: Ansteuerspannung zwischen -18 V und $+2\text{ V}$ für SiC-LJFET und zwischen -12 V und $+2\text{ V}$ für SiC-VJFET

Gemäß diesen gewünschten Ansteuerspannungen sollen die entsprechenden Schaltungen entwickelt werden.

- Die Stromversorgung erfolgt extern, z. B. durch dc/dc-Wandler oder *bootstrap*-Versorgung.

- Wegen der Abwesenheit einer hohen positiven Versorgungsspannung auf der Sekundärseite kann die Kurzschlussüberwachung für SiC-JFETs nur durch die Erfassung des Laststroms mit einem Shunt auf der Primärseite implementiert werden. Demgegenüber ist für SiC-MOSFETs die Detektion der Drain-Source-Spannung bei Entsättigung des Bauelements auf der Sekundärseite möglich.
- Die Kaskode-Light-Anordnung soll entsprechend Szenario C (siehe Abbildung 2.18) betrieben werden. Dafür muss die passende Logik entwickelt werden.
- Die Überwachung aller Betriebsspannungen ist notwendig, um den sicheren Betrieb der Halbbrücke zu garantieren bzw. um die niedrigsten Verluste des Bauelementes zu erreichen.
- Abschaltung der Schalter im Fehlerfall sowie Fehlerübertragung zur Primärseite.
- Generell ist es wichtig, dass der Treiber so nah wie möglich an dem Leistungsbaulement platziert wird, um die parasitären Induktivitäten im Ansteuerkreis niedrig zu halten. Außerdem ist es gewünscht, dass es keine internen Verbindungen der Bezugspotenziale der Primär- und BOT-Sekundärseite geben soll.

2.8 Universeller Gatetreiber auf Leiterplatte für SiC-Bauelementecharakterisierungen

Aufgrund der unterschiedlichen Betriebsspannungen der SiC-Leistungstransistoren (siehe Abbildung 2.5) und um die vergleichenden dynamischen Messungen bei ähnlichen Bedingungen durchführen zu können, wurde ein universelles Gatetreiber-Board entwickelt.

Die Abbildungen 2.19 und 2.20 zeigen das Blockschaltbild bzw. das Leiterplatte-Foto des entwickelten Treibers. Der Treiber kann die unterschiedlichen SiC-Bauelemente ansteuern. Dafür wurde einerseits die Ausgangsstufe konfigurierbar gemacht, damit sich beliebige Spannungspegel der Ausgangssignale einstellen lassen. Der Treiber ist

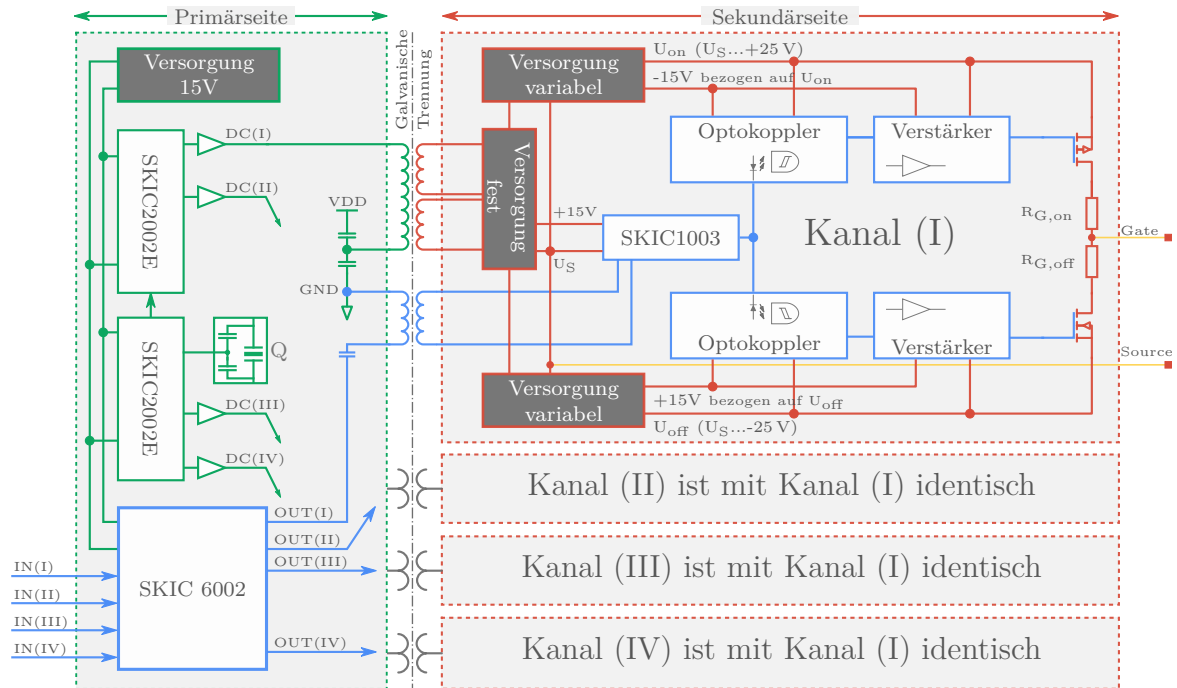


Abbildung 2.19: Blockschaltbild des diskreten Treibers für die Ansteuerung unterschiedlicher SiC-Bauelemente; Blau repräsentiert den Signalweg; Grün und Rot repräsentieren die Versorgung auf der Primärseite bzw. Sekundärseite

hinsichtlich niedriger Koppelkapazitäten, hoher du/dt -Festigkeit und kleiner parasitärer Komponenten optimiert. Der Treiber besitzt vier Kanälen, die identisch aufgebaut sind. Diese sind vorgesehen, um die unterschiedlichen Ansteuermöglichkeiten der verschiedenen SiC-Bauelemente überprüfen zu können. Auf der Primärseite ist der primärseitiger *SixPack* Treiber-IC SKIC6002⁹ eingesetzt, welcher für die Ansteuerung von Impulsübertragern entwickelt wurde [73]. Der IC ermöglicht die synchronisierte bzw. parallele Ansteuerung von Leistungshalbleitern mit minimalem Jitter durch die Nutzung des Synchronisationsmodus [73]. Dass heißt bei der Aktivierung des Synchronisationsmodus bewirkt der Signaleingang IN(I) die synchrone Ansteuerung der Ausgänge OUT(I) und OUT(II). Das Gleiche gilt für den Eingang IN(III) mit den Ausgängen OUT(III) und OUT(IV). Dies ist wichtig für die Ansteuerung der Kaskode-Light (siehe Abschnitt 2.5.4). Im normalen Modus verriegelt der SKIC6002 die Ansteuersignale IN(I und II) bzw. IN(III und IV) gegeneinander. Die resultierenden Ausgangssignale OUT(I bis IV) werden auf die Sekundärseite mittels Impulsübertrager

⁹SKIC6002, SKIC2002E und SKIC1003 sind speziell entwickelten Treiber-IC der Firma Semikron [73, 74, 75]

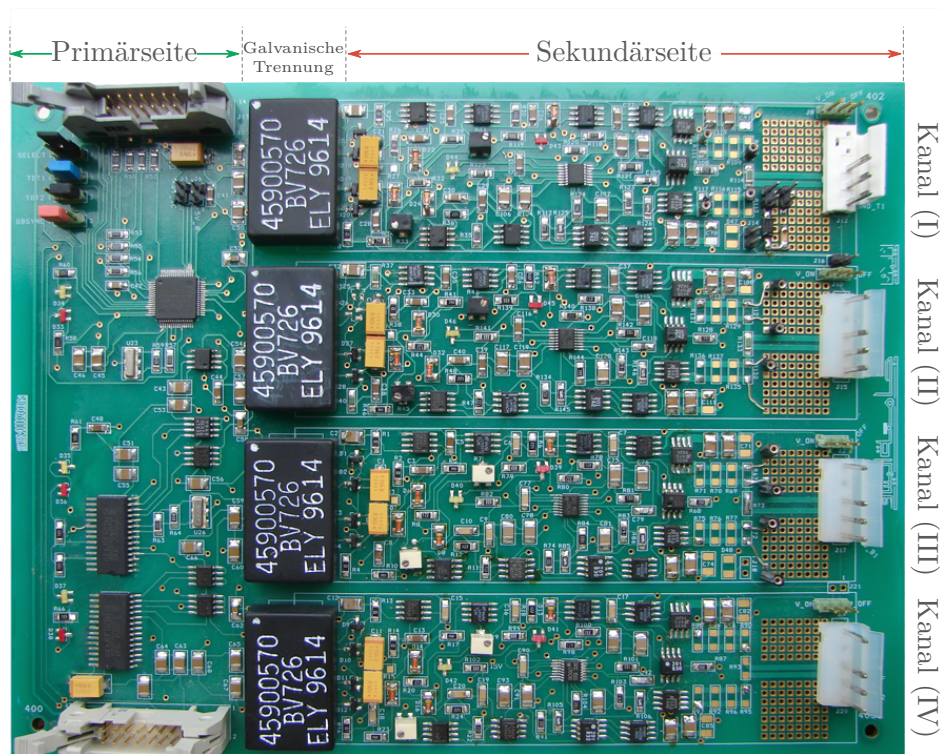


Abbildung 2.20: Universeller Gatetreiber auf Leiterplatte für SiC-Bauelementecharakterisierungen

übertragen. Die Energieübertragung auf die Sekundärseite erfolgt ebenfalls durch eine transformatorische galvanische Kopplung. Für die Energieübertragung werden die Treiber-ICs SKIC2002⁹ eingesetzt. Der SKIC2002 ist ein Halbbrückentreiber für höhere Leistungen für die Ansteuerung von Impulsübertragern [74]. Die sowohl für die Signalübertragung als auch für die Energieübertragung eingesetzten Impulsübertrager besitzen sehr niedrige Koppelkapazitäten.

Auf der Sekundärseite wird der übertragene Impuls an den Gatetreiber-IC SKIC1003⁹ geliefert. Dort wird er detektiert, verarbeitet und als gültiges Ansteuersignal über eine MOS-Endstufe zu einem Optokoppler abgegeben. Diese zweite Trennung im Signalweg ist notwendig, um ein variables Ansteuersignal zu generieren. Das Signal am Ausgang des Optokopplers läuft über eine Verstärkungsstufe, um die PMOS- bzw. NMOS-Endstufentransistoren ansteuern zu können. Die übertragene Energie wird zuerst in eine feste Spannung (+15 V gegenüber Source-Potential U_S) umgewandelt, die als Versorgung für den SKIC1003 und für die Erzeugung der variablen Spannungen U_{on} und U_{off} dient. Die variablen Spannungen U_{on} und U_{off} werden einerseits zum Ein- bzw. Ausschalten der Bauelemente und andererseits zur Generierung fester Spannungen, -15 V bezogen auf U_{on} und $+15$ V bezogen auf U_{off} , eingesetzt. Die beiden Letzten dienen für die Versorgung der Optokoppler und Verstärker.

3 Auswahl der notwendigen Technologie

Das Ziel dieser Arbeit ist die Entwicklung eines vollintegrierten Gatetreibers für SiC-Leistungsbaulemente in Halbbrückentopologie. Da die Ansteuerung von Bauelementen der Spannungsklasse bis 1200 V angestrebt wird, können nur HVIC-Technologien die Vollintegration der Gatetreiber ermöglichen. Dafür müssen diese Technologien über verschiedene Bauelemente verfügen. Darunter sind HV-Transistoren, -Dioden und -Kapazitäten mit möglichst niedrigem Flächenbedarf, um Energie oder Signale übertragen bzw. Spannung und Ströme messen zu können. Auch Mittelspannungsbaulemente sind wegen der erforderlichen hohen Ansteuerspannung der SiC-Baulemente nötig. Darüber hinaus soll die Isolationsfähigkeit zwischen Hochspannungs- und Niederspannungskomponenten bzw. zwischen *low-* und *high side* des Gatetreibers von der gewählten HV-Technologie garantiert werden. Die HV-Technologien unterscheiden sich voneinander hauptsächlich durch die Isolationstechnik. Zur Zeit stehen HV-Technologien in PN-Isolation bis 1200 V und in dielektrischer Isolation bis ca. 600 V zur Verfügung.

3.1 PN-isolierte und dielektrisch-isolierte Technologien, Überblick

Die PN-isolierten Technologien können prinzipiell beliebig durch die Änderung von Abständen und Dotierungen an die gewünschte Spannungsklasse bis zu 1200 V angepasst werden [76]. Allerdings steigen mit zunehmender Spannung der Flächenbedarf, Aufwand und Kosten erheblich. Abbildung 3.1 zeigt den Querschnitt einer HV-PN-Technologie. Die Inseln sind vertikal und lateral durch sperrgepolte PN-Übergänge voneinander isoliert. Aufgrund der relativ tiefen Epitaxie-Schicht wird der Effekt des Rückseitenpotentials auf die in der Insel liegenden Bauelemente unterdrückt (geringer

back gate-Effekt). Dadurch lassen sich komplexe isolierte Schaltungen in den floaten- den Inseln anordnen. Auf der anderen Seite besitzt die PN-Technologien die bekannten Nachteile wie hohe Leckströme insbesondere mit steigender Temperatur ($T > 125^\circ\text{C}$) und die *latch up*-Neigung durch die parasitären Thyristor-Strukturen [rot-gezeichneter lateraler Thyristor (M_1, M_2) und vertikaler Thyristor (M_2, M_3) in Abbildung 3.1]. Einseitig sperrende PN-Strukturen verlieren außerdem ihre Sperrfähigkeit, wenn das Potential in der n^- -Epitaxie-Insel unter das Potential (Ground) des p^- -Substrates sinkt. Dies kann z. B. dynamisch beim Schalten von Leistungsbau-elemente an induktiven Las- ten passieren.

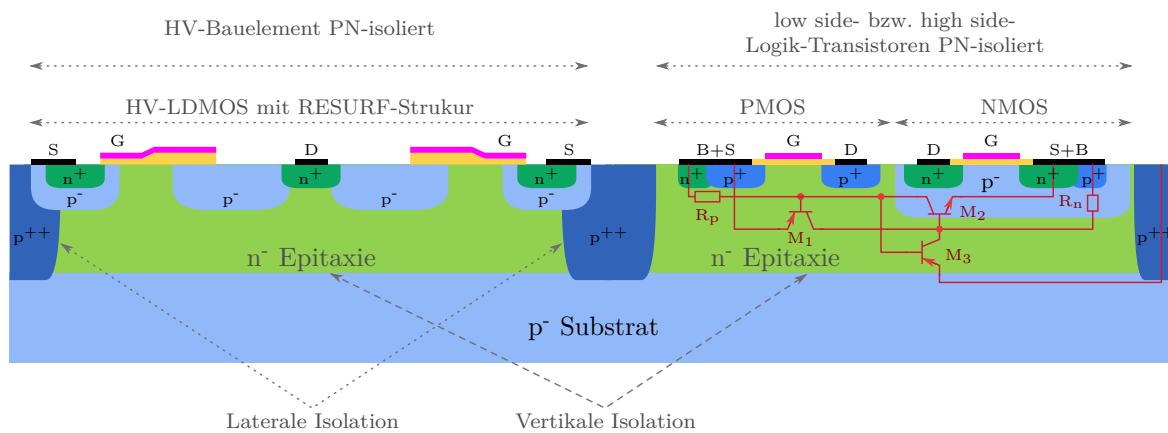
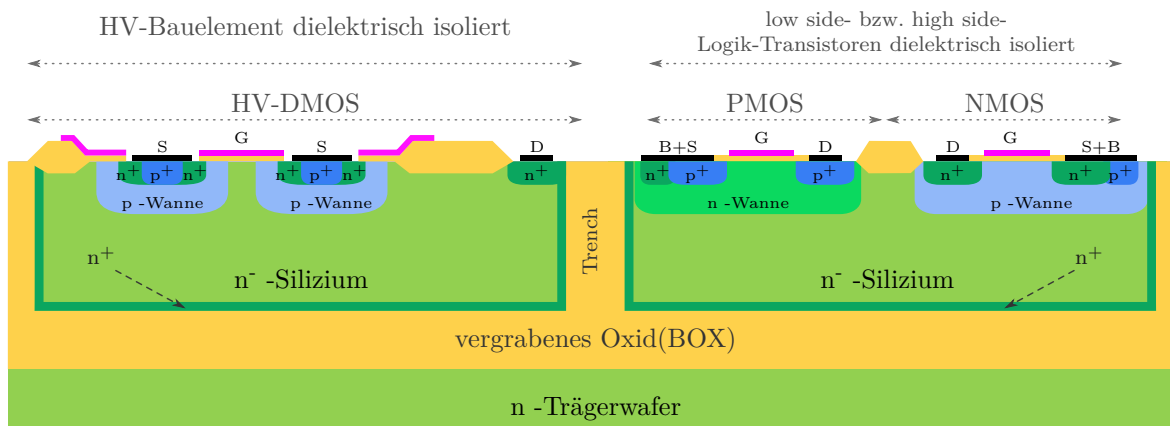


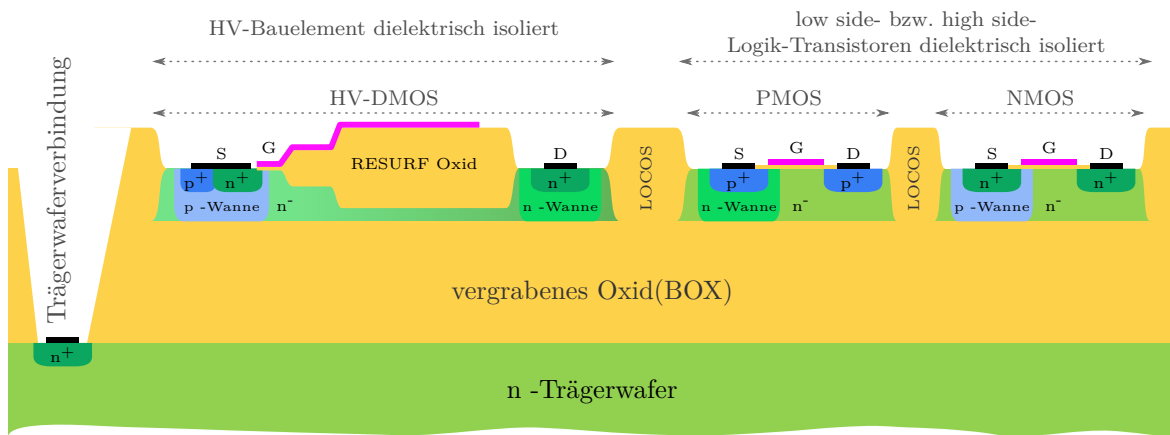
Abbildung 3.1: HV-PN-Technologie für 600V bzw. 1200V nach [77, 78]

Diese Nachteile können von dielektrisch isolierten Technologien überwunden werden. Da hier die Bauelemente bzw. Teilschaltungen in dielektrisch isolierten Inseln ange- ordnet werden, lassen sich die Leckströme deutlich minimieren und die parasitären Strukturen zum großen Teil oder ganz eliminieren [79]. Dadurch steigt die mögliche Einsatztemperatur und gleichzeitig sinkt die *latch up*-Neigung [80]. Außerdem sind die beanspruchten Flächen für die Hochspannungsisolation durch die dielektrische Isolation viel geringer als bei PN-Isolation, was wiederum bedeutet, dass eine hohe Integrations- dichte erreicht werden kann. Zu den Vorteilen der dielektrischen Isolation zählen auch das minimale Übersprechen und die hohen Betriebsgeschwindigkeiten aufgrund der kleineren parasitären Kapazitäten insbesondere für dünne SOI-Schichten. Außerdem bietet die dielektrisch isolierte Technologie einen hohen Freiheitsgrad bei der Arbeit mit positiven und negativen Spannungen in den einzelnen Inseln.

Abbildung 3.2 zeigt das Prinzip der dielektrischen Isolation. Dabei sorgt ein vergra- benes Oxid (*buried oxid* (BOX)) für die vertikale Isolation. Dieses Oxid bzw. das Ausgangssubstrat kann durch verschiedene Verfahren wie Waferbonden, Sauerstoffim-



a.) HV-SOI-Technologie mit Trench-Isolation und pseudovertikalen HV-Bauelementen nach [81]



b.) LOCOS-isolierte Dickschichttechnologie mit selektiver TOP-Silizium-Abdünnung nach [82]

Abbildung 3.2: Querschnitt dielektrischer Isolationstechnologien

plantation (SIMOX) oder *Smart Cut* erzeugt werden [83, S. 13..17]. Das Oxid (BOX) besitzt einen größeren thermischen Widerstand, was eine höhere Eigenerwärmung (*self-heating*) des ICs verursacht. Dieser Effekt kann allerdings für dünne Oxid-Schichten weitgehend vernachlässigt werden [84]. Die laterale Isolation kann je nach Dicke der SOI-Schicht z. B. durch Trenches in Abb. 3.2 a oder *local oxidation of silicon* (LOCOS) in Abb. 3.2 b erzeugt werden. Allgemein können SOI-Technologien nach der Dicke der isolierten Si-Schicht in Dünn- und Dickschicht-Technologien eingestuft werden. Die Dicke der Isolationsschicht (BOX) bestimmt die maximal zulässige Spannungsfestigkeit bzw. die Spannungsklasse [85, S. 72]. Die Erhöhung der Spannungsfestigkeit durch die Erhöhung der Dicke der BOX-Schicht ist nur mit höherem Aufwand bis zu Dicken von ca. $3\text{ }\mu\text{m}$ technologisch möglich [86]. Verschiedene Verfahren zur Erweiterung der Spannungsfestigkeit sind in [87, 88, 89, 90] zu finden. Diese Verfahren sind in [78] ausführlich bewertet. Mit steigender Einsatzspannung steigt der Effekt des Durchgreifens

des rückseitigen Potentials in die isolierte Insel, was bei dünnen isolierten Si-Schichten kritischer ist. Dieser Effekt kann z. B. durch die vergrabene n^+ -Schicht in Abb. 3.2 a zum großen Teil unterdrückt werden.

Die Auswahl der geeigneten Technologie ist auf die Ansteuerung von SiC-Bauelementen orientiert. Der Treiber soll bei hohen Temperaturen bzw. Umgebungstemperaturen (z. B. in Leistungsmodulen oder bei reduzierter Kühlung) einsetzbar sein. Dies wird nur durch SOI-Technologien erfüllt, die im Gegensatz zu PN-isolierten-Technologien bis 200 °C [91] eingesetzt werden können. SiC-Bauelemente können mit hohen Geschwindigkeiten und Frequenzen angesteuert werden, was die Gefahr negativer Spannungsspitzen unter Ground erhöht. Entscheidender Faktor für die Auswahl sind die für die Ansteuerung der SiC-Bauelemente erforderlichen positiven und negativen Spannungen. Diese können in dielektrisch isolierten Substraten leichter umgesetzt werden.

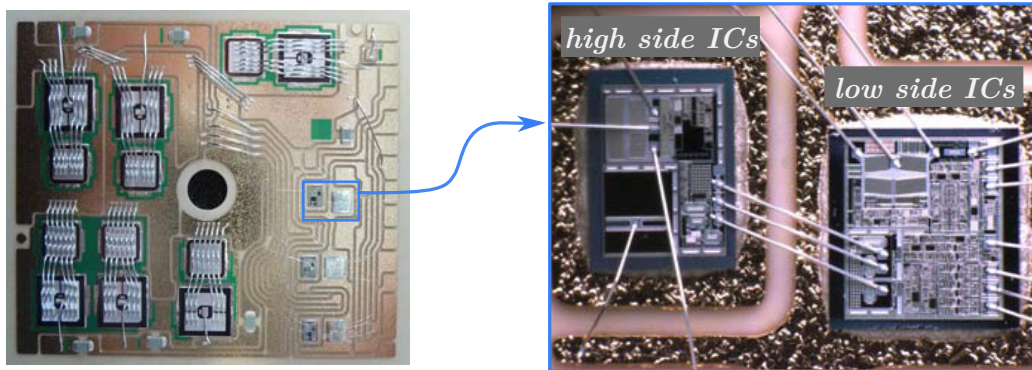
3.2 Die verwendete Isolationstechnologie

Die in dieser Arbeit verwendete Isolationstechnologie wurde in [82] vorgestellt. Abbildung 3.2 b zeigt den schematischen Querschnitt. Es ist eine Technologie mit relativ dünner Si-Schicht (ca. 3 μm) auf vergrabenen Oxid (BOX) von ca. 3 μm , so dass der Rückseiteneinfluss (*back gate*-Effekt) kaum vorhanden ist. Durch eine lokale Oxidation (LOCOS) werden alle Bauelemente voneinander isoliert. Dies verhindert vollständig parasitäre Thyristor-Strukturen, spart Platz und bietet gleichzeitig ein billigeres laterales Isolationsverfahren im Vergleich zur Trench-Isolation in Abbildung 3.2 a. Die Technologie verfügt über HV-Bauelemente bis zu Sperrspannungen von 600 V (DMOS-Transistoren, Diode, Kapazitäten) bzw. von 300 V (PMOS-Transistoren), MV-Bauelemente bis zu 50 V und NV-Bauelemente bis zu 17 V. Diese Bauelemente lassen sich durch die dielektrische Isolation in Bezug auf das Trägerwafer-Potential beliebig verschalten. Insbesondere die Levelshifter zu höheren (NMOS-Transistor) bzw. niedrigeren (PMOS-Transistor) Potentialen schaffen viele Freiheitsgrade (siehe Abschnitt 4), die für die Umsetzung von Gatetreibern für SiC-Bauelemente notwendig und vorteilhaft sind.

Die verfügbaren HV-Bauelemente wurden bezüglich HV-Festigkeit und $R_{\text{DS,on}}$ durch verschiedene Maßnahmen optimiert [92, 93]. Für eine hohe HV-Festigkeit wird zum Ersten ein vom Source zum Drain veränderliches Dotierungsprofil (*Variation of Lateral Doping-VLD*) für die homogene Feldverteilung eingesetzt. Zum Zweiten wird das

Driftgebiet zur Verkürzung des Avalanche-Pfads vertikal abgedünnt [92, 78]. Dank einer Polysilizium-Schicht über dem RESURF-Oxid und dem Trägerwafer unter dem BOX, die als Feldplatten fungieren, erfolgt eine vollständige Verarmung des Driftgebiets im Sperrfall. Durch dieses sogenannte SOI-RESURF kann die Dotierung in der n^- -Driftzone angehoben werden, was den $R_{DS,on}$ reduziert [93, 92]. Der Trägerwafer muss an einer definierter Spannung angebunden werden (üblicherweise am niedrigsten auftretenden Potential des Schaltkreises). Dadurch werden einige Bauelemente, die auf der *high side* liegen, beeinflusst, z.B. der $R_{DS,on}$ des DMOS-Transistors und das Sperrvermögen des MV-PMOS-Transistors [93].

Da die DMOS-Transistoren nur bis zu einer Spannungsfestigkeit von 600 V für Levelshifter verfügbar sind und die Isolationsfestigkeit durch das BOX von $3\mu\text{m}$ auf ca. 800 V begrenzt ist [86], muss ein 1200V-Gatetreiber für SiC-Bauelemente durch eine Multi-Chip-Lösung realisiert werden.



1200 V/50 A Intelligentes Leistungsmodul (IPM)

1200 V-Halbbrückentreiber auf DCB-Substrat

Abbildung 3.3: Multi-Chip-Lösung aus [94] für 1200 V IGBT-Gatetreiber

Die begrenzte Substratisolation wird durch die Aufteilung der maximalen Sperrspannung von 1200 V auf 2 separate Chips erreicht, wodurch ein *low side*- und *high side*-IC ausgebildet wird. Dabei enthält der *low side*-IC den ersten 600V-Levelshifter und der *high side*-IC den zweiten 600V-Levelshifter. Für die gleichmäßige Spannungsaufteilung sorgt ein kapazitiver Spannungsteiler sowie eine *clamping*-Schaltung [78, S. 140]. Abbildung 3.3 zeigt die 1200 V Multi-Chip-Lösung mit den Levelschiftern in einem intelligenten Leistungsmodul [94].

4 Entwickelte Gatetreiber

4.1 Gatetreiber der Kaskode-Light

Das Blockschaltbild des Halbbrückentreibers ist in Abbildung 4.1 dargestellt. Die weißen Blöcke repräsentieren den Hauptsignalweg der TOP- und BOT-Schalter, wohingegen die gelben Blöcke die übrigen Zellen des Treibers zeigen. Darunter sind die Fehlerverarbeitung und die Versorgung einzuordnen. Zum Erreichen der 1200 V Spannungsfestigkeit in der von Haus aus nur 600 V sperrfähigen Technologie kommt, wie im Abschnitt 3.2 erwähnt wurde, die Multi-Chip-Lösung zum Einsatz. Die Schnittstelle zwischen dem *low side*-IC und dem *high side*-IC ist durch den kaskadierten HV-Levelshifter definiert, der die notwendige Isolationsfestigkeit und die unidirektionale Übertragung gewährleistet. Der HV-Levelshifter besteht aus zwei Teilen, der untere befindet sich im *low side*-IC während der obere im *high side*-IC lokalisiert ist.

Die Funktionsblöcke des Treibers können in zwei Kategorien eingeteilt werden. Diejenigen, die zum Austausch von Steuersignalen und Rückmeldungen mit der Steuerplattform (Mikrokontroller (μC)), Digitaler Signalprozessor (DSP)) dienen und ein gemeinsames Potenzial mit dieser besitzen, werden als Primärseite bezeichnet (in Abbildung 4.1 hellgrün hinterlegt). Die anderen Funktionsblöcke, die den Leistungsschalter ansteuern und überwachen und potenzialmäßig auf dessen Source-Potenzial liegen, werden als Sekundärseite bezeichnet. Dazu gehören in der Halbbrückenschaltung die Funktionsblöcke des unteren Schalters „BOT“ (in Abbildung 4.1 dunkelgrün hinterlegt) und die Funktionsblöcke des oberen Schalters „TOP“ (in Abbildung 4.1 rot hinterlegt).

Auf der Primärseite werden die von der Steuerplattform an die TOP-IN und BOT-IN Eingänge angelegten Steuersignale zunächst im Eingangsinterface (*input interface (IIF)*) angepasst. Dabei erfolgt die Signalanpassung an die interne Betriebsspannung (15 V) der Primärseite. Außerdem werden hier Pulse kleiner 100 ns unterdrückt

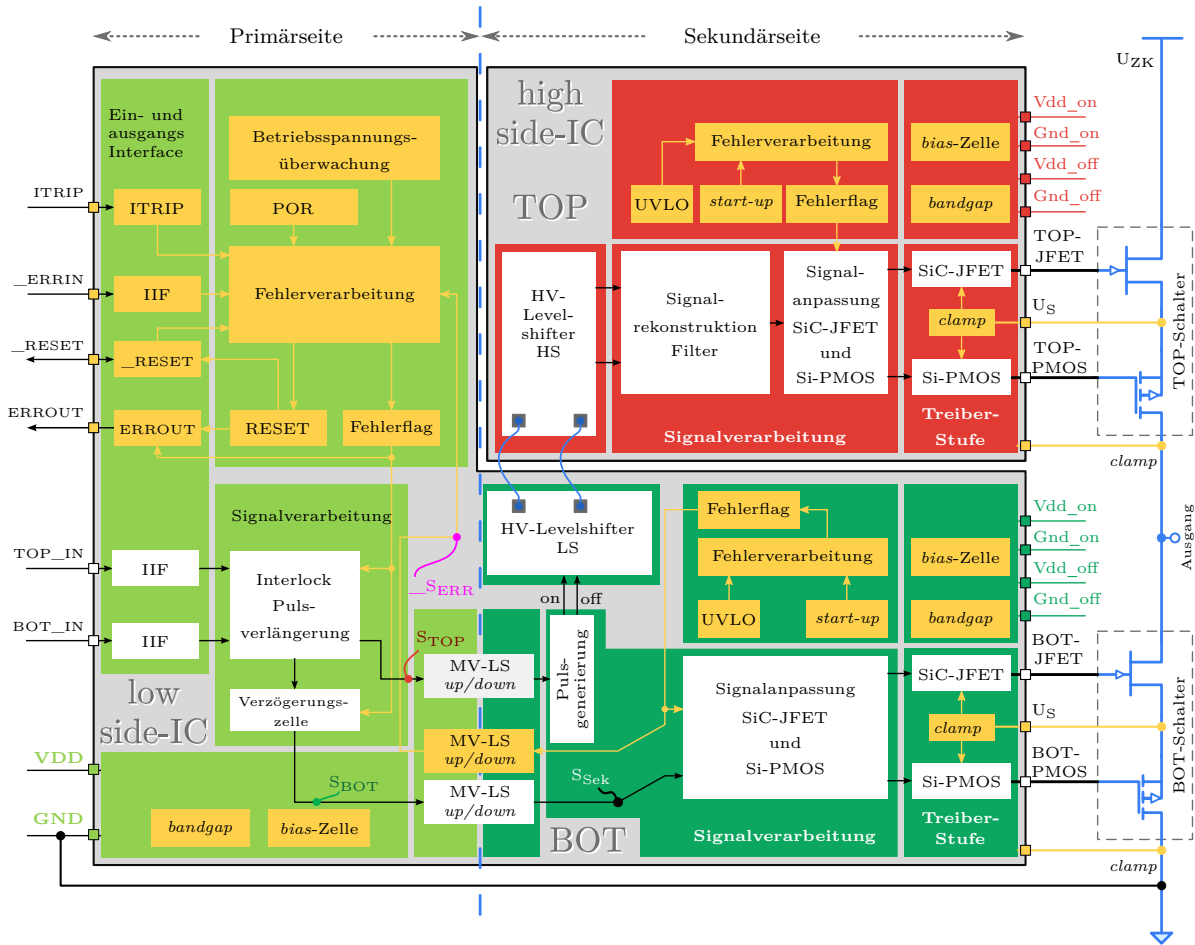


Abbildung 4.1: Schaltplan des Kaskode-Light-Treibers in SOI-Technologie, welcher aus *low side-IC* und *high side-IC* besteht und zur Ansteuerung der Halbbrückenschaltungen eingesetzt werden kann

(Kurzimpulsunterdrückung (KIU)). Die resultierenden gültigen Ansteuersignale werden an den *interlock*-Block, der die gegenseitige Verriegelung der TOP- und BOT-Signale gewährleistet, weitergegeben. Damit lassen sich Querkurzschlüsse in der Halbbrückenschaltung vermeiden. Weiterhin werden alle Ansteuerpulse, die größer als 100 ns und kleiner als 500 ns sind, in diesem Block auf 500 ns verlängert, um die korrekte Pulsübertragung durch den HV-Levelshifter zu garantieren. Die entstehenden TOP- und BOT-Ansteuersignale am Ausgang des *interlock*-Blocks durchlaufen folgende unterschiedliche Pfade. Das TOP-Ansteuersignal wird zuerst auf die BOT-Sekundärseite übertragen. Es wird dort weiterverarbeitet (Pulsgenerierung) und danach durch den kaskadierten HV-Levelshifter (zwei 600 V-Levelshifter in Reihe) auf den *high side-IC* übertragen (ausführliche Beschreibung siehe Abschnitt 4.4 und Abschnitt 4.5).

Das BOT-Ansteuersignal wird in der Verzögerungszelle um die zusätzliche Signallaufzeit des TOP-Ansteuersignals verzögert, um die durch das HV-Levelshifter-Übertragungsverfahren entstehenden Differenzen auszugleichen. Danach wird das Signal (S_{BOT}) durch einen *up/down*-Levelshifter auf die BOT-Sekundärseite übertragen. Es wird dort weiterverarbeitet (siehe Abschnitt 4.4), um anschließend die passenden Ansteuersignale des BOT-Schalters zu gewinnen.

Neben der bis jetzt beschriebenen Signalverarbeitung des BOT- bzw. TOP-Ansteuersignals gehören weitere Aufgaben zur Primärseite, die den korrekten Betrieb des Treibers und den erforderlichen Schutz des Leistungsschalters garantieren. Dafür ist die Zusammenarbeit verschiedener Zellen (gelbe Blöcke in Abbildung 4.1) notwendig, um Erkennung, Speicherung und Rücksetzen von möglichen Fehlerzuständen zu bearbeiten. Bezüglich der Bearbeitung von Fehlerzuständen auf der Primärseite wird zwischen zwei Fällen unterschieden.

Fall A: Gilt für von außen ausgelöste Fehlermeldungen an den Eingängen ITRIP^1 , _ERRIN^2 oder Fehlermeldungen von der BOT-Sekundärseite (_SERR). Im Falle eines solchen Fehlers wird der Signalweg der BOT- bzw. TOP-Ansteuersignale gesperrt bzw. die externen Leistungsschalter ausgeschaltet. Gleichzeitig wird ein *low*-aktives³ Fehler-signal am Ausgang _ERROUT bereitgestellt. Der Fehlerzustand wird nur verlassen, wenn der detektierte Fehler beseitigt ist und keine Einschaltpulse für eine definierte Zeitdauer von $\geq 10 \mu\text{s}$ am BOT- und TOP- Eingänge vorliegen.

Fall B: Gilt für intern verursachte Fehlermeldungen der Betriebsspannungsüberwachung (*undervoltage lockout*, UVLO) oder der Einschaltinitialisierung (*power on reset*, POR). Beide garantieren den korrekten Betrieb des Treibers. Die POR-Zelle sichert einen korrekten Anfangszustand, während die UVLO-Zelle mit ihrem Signal (FAULT) die Unterschreitung der Betriebsspannung unter einen bestimmten Schwellwert anzeigt. Die POR- und FAULT-Signale werden von der RESET-Schaltung erfasst und der Treiber wird gesperrt (Fehler) bzw. der Signalweg freigegeben (kein Fehler).

Im Unterschied zum integrierten Gatetreiber in SOI-Technologie für IGBT in [95, 78] wird erstens ein von der BOT-Sekundärseite detektierter Fehler mit einem zusätzlichen *up/down*-Levelshifter zur Primärseite zurückübertragen (_SERR) und in dem Block Fehlerverarbeitung verarbeitet. Dieses Fehlersignal wird wie ein auf der Primärseite auftretender Fehler behandelt. Zweitens wird die Übertragung des TOP-

¹Eingang für erfassten Laststrom z. B. durch einen Shunt

²ausgelöst von externen Schaltungen des Systems

³*low*-aktive Ein- und Ausgänge und Signale werden mit einem vorangestellten Unterstrich gekennzeichnet

Ansteuersignals auf den *high side*-IC nicht von der Primärseite, sondern von der BOT-Sekundärseite durchgeführt. Dies ist bedingt durch die Funktionsweise des eingesetzten HV-Levelshifters (siehe Abschnitt 4.3). Drittens ist der Trägerwafer des *low side*-IC nicht mit der Masse der Primärseite verbunden. In der ausgewählten SOI-Technologie muss der Trägerwafer an dem systembedingt niedrigsten Potenzial anliegen. Dieses Potenzial ist bei den *normally-on* Schaltern durch ihre negative Gateabschaltspannung definiert.

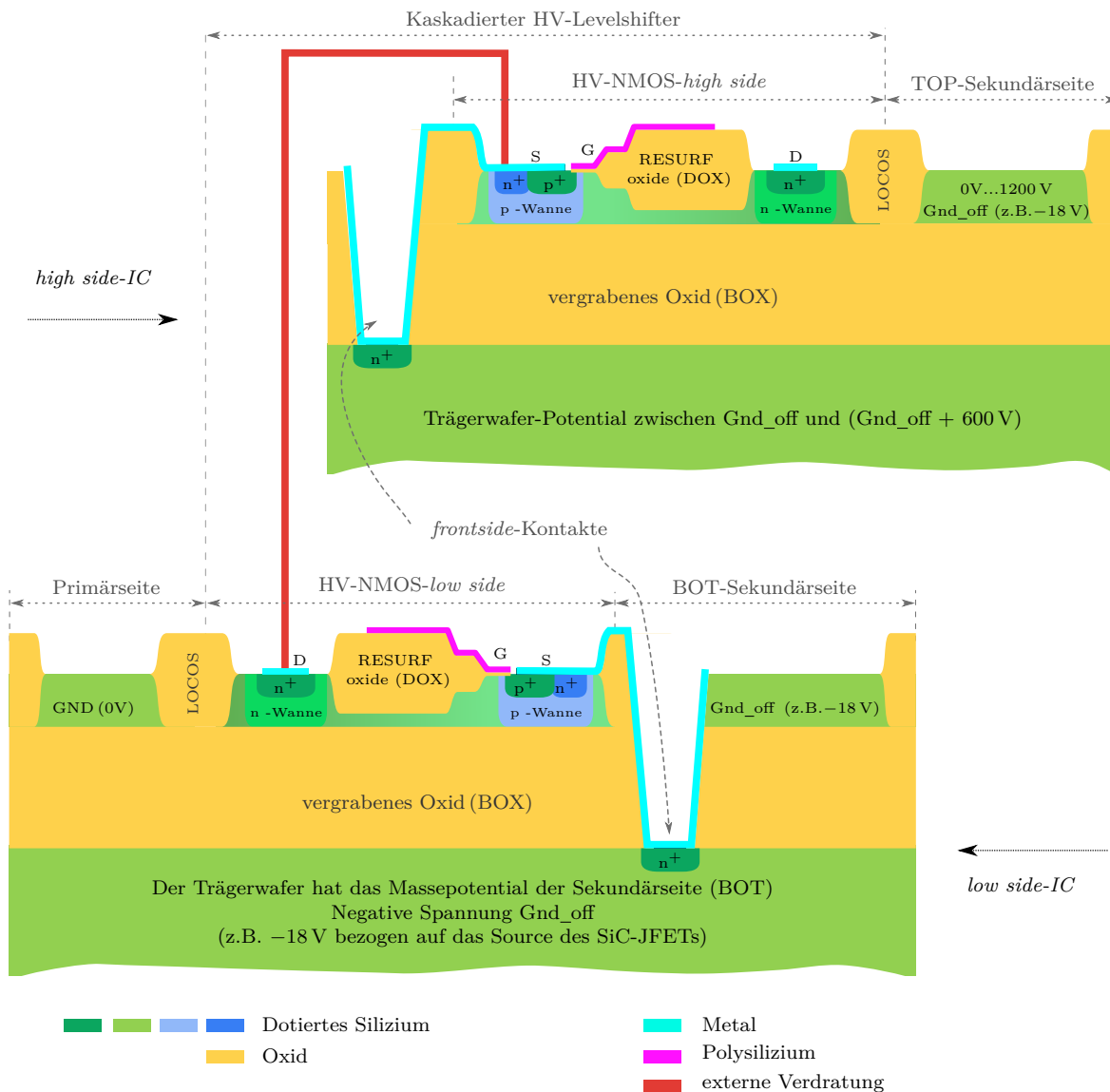


Abbildung 4.2: Massepotenziale der Primärseite und BOT- bzw. TOP-Sekundärseite im Bezug auf den Trägerwafer im *low side*-IC und *high side*-IC sowie die *low*- und *high side* des kaskadierten HV-Levelshifter

Abbildung 4.2 zeigt die Potenziale im *low side*-IC und *high side*-IC sowie den kaskadierten HV-Levelshifter. Im *low side*-IC wird der Trägerwafer mittels *frontside*-Kontakte an Gnd_off angelegt. Da dieses Potenzial auf das Source des SiC-JFET bezogen ist, wird es aus der Sicht der primärseitigen Bauelemente bzw. Schaltungen als dynamisch betrachtet. D. h. je Zustand des externen PMOS-Transistors in der Kaskode-Light kann sich das Potenzial des Trägerwafer aus der Sicht der Primärseite zwischen Gnd_off und ca. 0 V bewegen. Das Potenzial des Trägerwafer bildet in den Bauelementen der Primärseite Akkumulations- und Inversionsschichten aus, die allerdings aufgrund der geringen Offsetspannung die Eigenschaften dieser Bauelemente nicht beeinflussen. Allerdings werden Schaltungen wie *bias*- und *bandgap*-Zellen der Primärseite durch dieses dynamische Potenzial nur kurzzeitig gestört (siehe Abschnitt 4.6.4). Im Gegensatz zum *low side*-IC werden die Bauelemente der TOP-Sekundärseite unter dem Potentialverriss des Trägerwafer zwischen Gnd_off und (Gnd_off + 600 V) wesentlich stärker beeinflusst. Auch werden hier die *bias*- und *bandgap*-Zellen durch das dynamische Potenzial kurzzeitig gestört (siehe Abschnitt 4.6.4).

4.2 Grenzen der ausgewählte Technologie

Die Realisierung eines vollständigen, monolithisch integrierten Gatetreibers verlangt von der ausgewählten Technologie, dass sie neben der Hochvoltisolation die Möglichkeit bietet, um folgende weitere Anforderungen umsetzen zu können. Die SiC-JFET Leistungsbaulemente besitzen unterschiedliche spezifische Betriebsspannungen und Schwellspannungen, die einen Spannungshub bis zu 20 V für die heutigen Bauelemente erreichen kann. Die ausgewählte Technologie stößt ab max. 17 V an ihre Grenzen hinsichtlich der Sperrfähigkeit der Logik-Bauelemente und der Festigkeit des Gateoxides für integrierte MOS-Transistoren. Infolgedessen ist eine zusätzliche Beschaltung des Gatetreibers notwendig, um die SiC-JFETs mit einem Spannungshub größer als 17 V ansteuern zu können. Um die vollständige Integration des Gatetreibers zu realisieren, muss dieses Problem überwunden und intern gelöst werden, d.h. der zu realisierende Gatetreiber muss in der Lage sein, den nötigen dynamischen Spannungshub zu bieten.

Abbildung 4.3 zeigt das Prinzip der Versorgungsspannung, die für die Sekundärseite eingesetzt wird. Dabei werden vier Spannungspegel verwendet: Zwei von außen gelieferte Spannungspegel (Vdd_on und Gnd_off), welche die Gateeinschalt- bzw. Gateabschaltspannung des SiC-JFET Transistors symbolisieren und zwei intern zu generierende Hilfsspannungspegel (Vdd_off und Gnd_on). Vdd_on und Gnd_on bilden einen

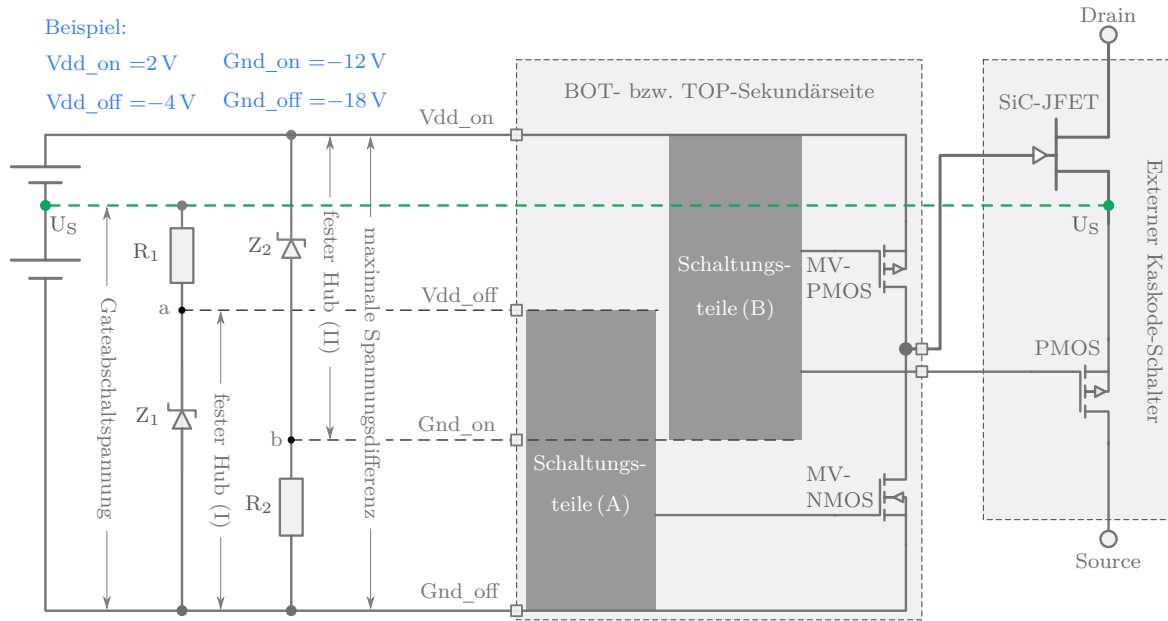


Abbildung 4.3: Versorgungsspannungen der BOT- bzw. TOP-Sekundärseite vom Gatetreiber der Kaskode-Light zur Erhöhung des Spannungshubs des Ansteuersignals

festen Spannungshub von maximal 14 V. Ihre Namen leiten sich von dem internen Einschalt-MV-PMOS-Transistor der letzten Treiberstufe ab. V_{dd_off} und G_{nd_off} bilden ebenfalls einen festen Spannungshub von maximal 14 V und leiten ihre Namen von dem internen Ausschalt-MV-NMOS-Transistor der letzten Treiberstufe ab. D. h. die Treiberschaltung setzt sich aus Schaltungsteilen mit unterschiedlichen Bezugspotentialen zusammen (Teil A und B). Die Signalübertragung zwischen den Teilen erfolgt durch MV-Levelshifter mit einer Spannungsfestigkeit von ca. 50 V. Demzufolge kann der Potentialunterschied zwischen V_{dd_on} und G_{nd_off} einen Wert von max. 50 V betragen. Dieser Wert ist allerdings nur für die BOT-Sekundärseite möglich und kann für die TOP-Sekundärseite nicht erreicht werden, weil das Sperrvermögen der dort auf *high side*-Potential liegenden MV-PMOS-Transistoren unter dem Einfluss des *back gate*-Effektes sinkt. Die maximale Sperrspannung des MV-PMOS-Transistors liegt bei ca. 20 V.

4.3 MV- und HV-Levelshifter

Die bereits im Rahmen der Arbeit [78] entwickelten MV- und HV-Levelshifter werden für die Signalübertragung zwischen den verschiedenen Spannungsebenen eingesetzt. Da diese Levelshifter ein Kernstück des hier entwickelten Treibers bilden, werden sie

im Folgenden kurz dargestellt. Abbildung 4.4 zeigt die Schaltungstopologie des MV-Levelshifters. Er besteht aus einem *up*- und *down*-Levelshifter, welche jeweils aus zwei identischen Teilzweigen zur differentiellen Signalübertragung aufgebaut sind.

Da die *up*- und *down*-Levelshifter komplementär zueinander sind, beschränkt sich die Beschreibung hier nur auf den *up*-Levelshifter. Entscheidend für den hier verwendeten dynamischen Levelshifter ist die Kippstufen bestehend aus M_9 und M_{10} . Ist am Eingang IN ein *low*-Signal oder ist gar die primärseitige Betriebsspannung nicht vorhanden, so garantiert der *pull up*-Widerstand R_1 einen definierten Zustand (*high*=Vdd_off) am Ausgang OUTp. Somit ist das Gate des Kippstufen-Transistors M_9 hochgezogen und dieser folglich ausgeschaltet. Der andere Kippstufen-Transistor M_{10} ist damit zwingend eingeschaltet. Demzufolge ist auch M_8 eingeschaltet.

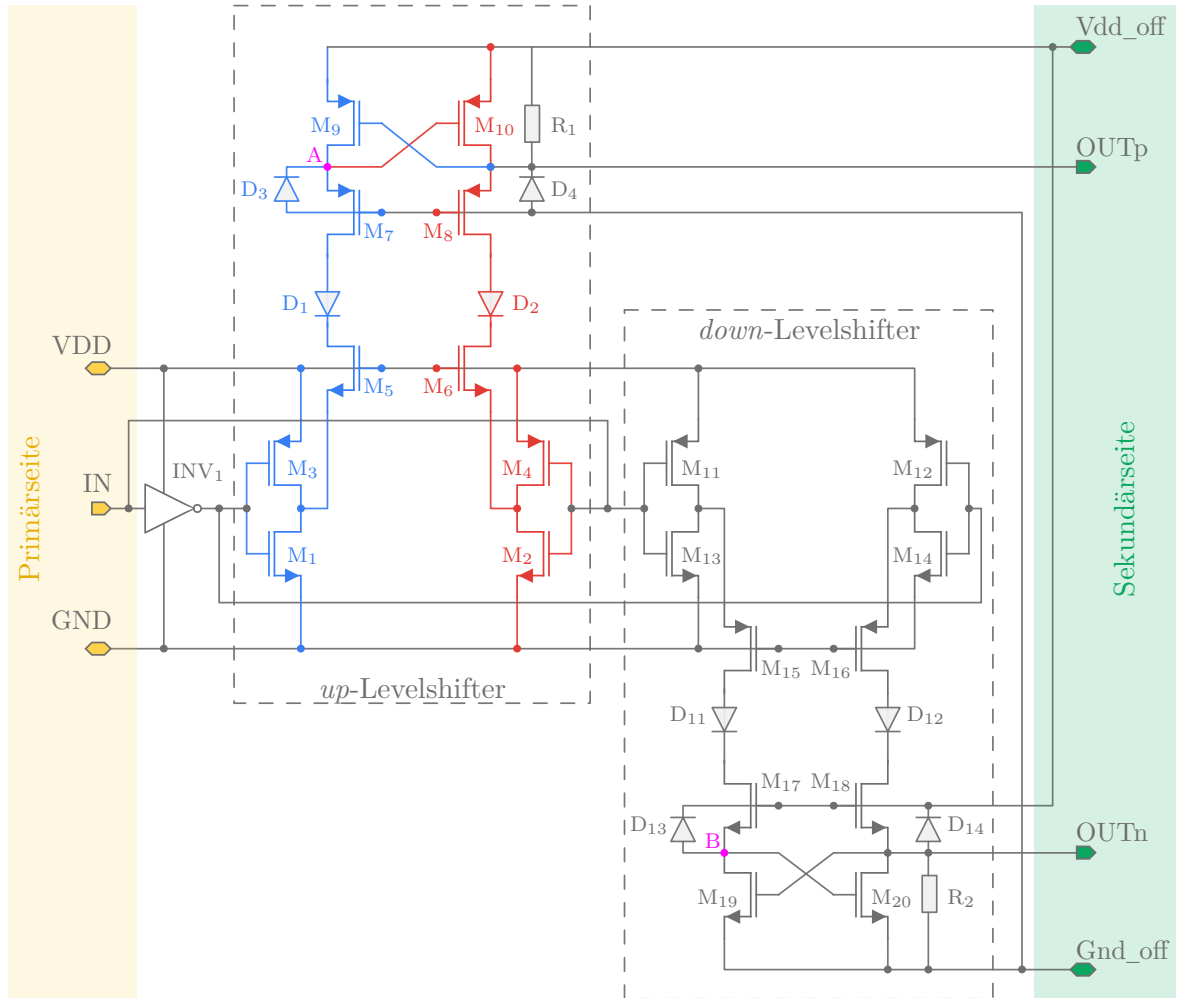


Abbildung 4.4: MV-Levelshifter mit einer Spannungsfestigkeit von 50V;
aus [78, S.85]

Bei dem Anliegen eines *high*-Signals am Eingang IN wird M_2 aufgesteuert (M_4 gesperrt) und das Source des Transistors M_6 nahe GND-Potential gezogen und somit der Transistor M_6 eingeschaltet. Da die Diode D_2 jetzt in Durchlassrichtung gepolt ist, fließt ein Querstrom in dem rot gekennzeichneten Zweig, da M_8 und M_{10} bereits eingeschaltet waren. Das Potential am OUT_p sinkt in Richtung GND. In diesem Moment schaltet M_9 ein und somit M_{10} zwingend aus. Folglich ist auch M_7 eingeschaltet. Die Schaltzeit der Kippstufe M_9 , M_{10} bzw. die Zeit, in der ein Querstrom in dem rot gekennzeichneten Zweig fließt, ist sehr kurz. Dadurch wird ein geringer Leistungsverbrauch selbst bei hohen Schaltfrequenzen erreicht. Geht am Eingang IN das Signal von *high* nahe *low*, wird M_1 aufgesteuert (M_3 gesperrt) und das Source des Transistors M_5 auf GND-Potential gezogen und somit der Transistor M_5 eingeschaltet. Da die Diode D_1 jetzt in Durchlassrichtung gepolt ist, fließt auch hier ein kurzzeitiger Querstrom in dem blau gekennzeichneten Zweig (M_7 und M_9 sind bereits eingeschaltet). Das Potential am Punkt A sinkt in Richtung GND und verursacht ein Umschalten der Kippstufe (M_9 schaltet aus, M_{10} schaltet ein).

Durch das *up/down* Prinzip garantiert der Levelshifter eine sichere Signalübertragung in positiver bzw. negativer Richtung bezogen auf (GND). Dies ist ganz wichtig für die Übertragung zwischen Primär- und BOT-Sekundärseite, weil ihre Bezugspotenziale GND und Gnd_off, z. B. in der Kaskode-Light-Topologie, mit unterschiedlichen Vorzeichen zueinander liegen können (siehe Abschnitt 4.1). Der MV-Levelshifter wird im entwickelten Treiber für die Übertragung des Ansteuersignals von der Primärseite auf die BOT-Sekundärseite und des Fehlersignals von der BOT-Sekundärseite auf die Primärseite eingesetzt. Außerdem wird der *up*-Levelshifter in BOT- bzw. TOP-Sekundärseite zur Erweiterung des Spannungshubs eingesetzt.

Abbildung 4.5 zeigt die vereinfachte Schaltungstopologie des 1200 V HV-Levelshifters. Der HV-Levelshifter wird für die Übertragung von Ansteuersignalen vom *low side*-IC auf das *high side*-IC verwendet. Die Spannungsfestigkeit von 1200 V wird durch die Kaskadierung von zwei 600 V Hochvolt-Transistoren HV_1 und HV_2 erreicht. Dabei liegt der HV_1 -Transistor im *low side*-IC, während der HV_2 -Transistor im *high side*-IC platziert ist. Die physische Trennung zwischen den Chips ist hier durch die blau gestrichelte Linie symbolisiert. Der Trägerwafer des *high side*-ICs ist an das niedrigste Potenzial S_{HV2} angeschlossen. Die Ansteuerung der beiden HV-Transistoren erfolgt durch den MV-Transistor M_1 . Der Stromfluss wird durch R_1 begrenzt und der Spannungsabfall an R_2 auf der *high side* erfasst. Das Signal wird differenziell und gepulst über zwei

Levelshifterzweige (nicht dargestellt in der Abbildung) übertragen und diversen Filterungen unterzogen. Damit wird eine sichere Übertragung mit geringer Stromaufnahme garantiert.

Der eingesetzte HV-Levelshifter mit NMOS-HV-Transistoren ist in der Lage Signale nur in der positiven Richtung zu übertragen (Dies wird durch den rot gepunkteten Pfeil in Abbildung 4.5 angedeutet). Dies bedeutet, dass $V_{dd_off(TOP)}$ in Abbildung 4.5 immer positiver als das Potenzial des *handle wafer low side* HW_{LS} sein muss. Da dies beim *normally-on* SiC-JFET nicht unbedingt gegeben ist, ist die Übertragung des TOP-Signals ausgehend von der Primärseite nicht möglich. Deshalb ist es hier zwingend notwendig, dass die Signalübertragung zum *high side-IC* im hier entwickelten Treiber im Gegensatz zum Treiber in [78] von der BOT-Sekundärseite (negativstes Potential Gnd_off) ausgeht.

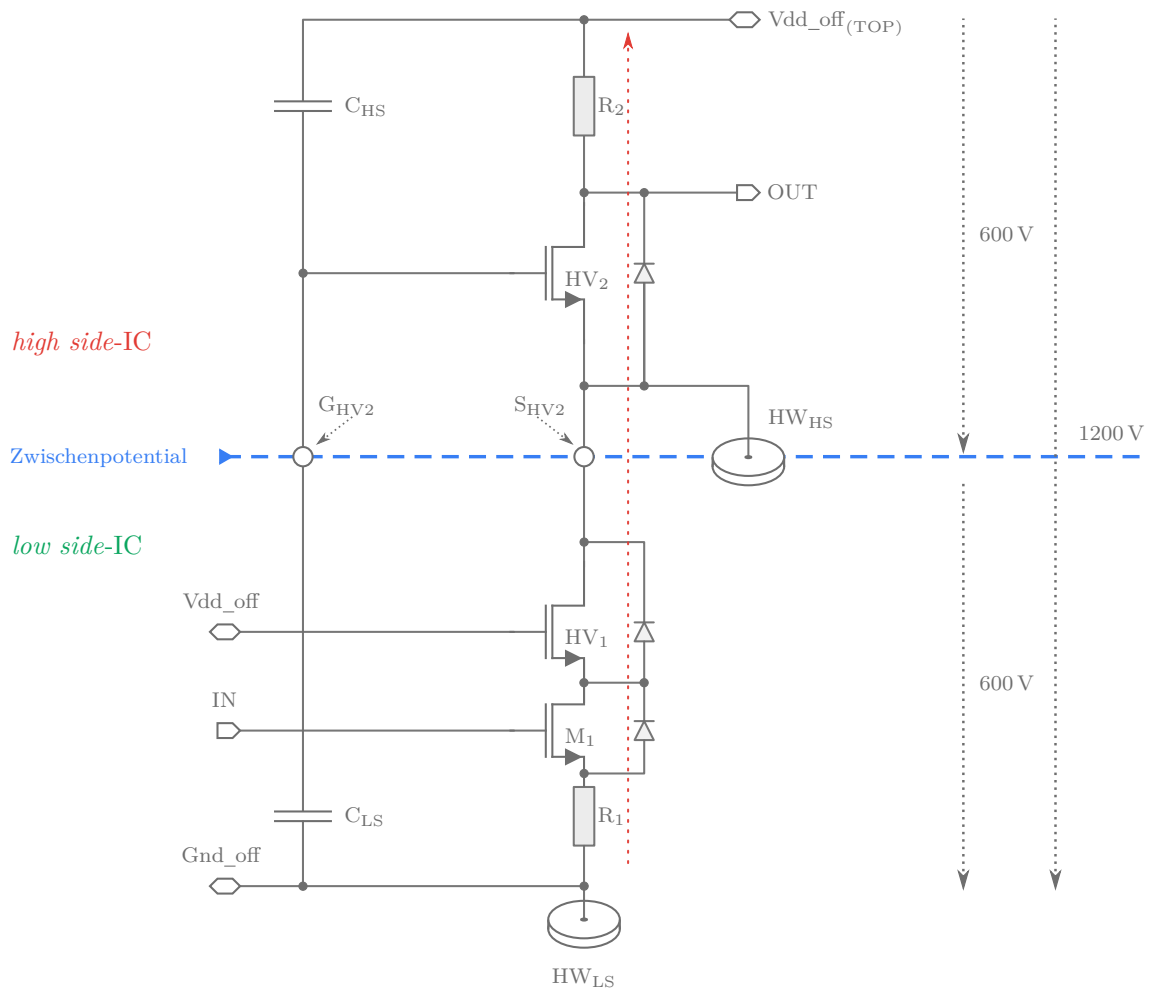


Abbildung 4.5: HV-Levelshifter mit einer Spannungsfestigkeit von 1200V;
aus [78, S. 100]

4.4 BOT-Sekundärseite

Nach der Verarbeitung und Anpassung der BOT- bzw. TOP-Signale auf der Primärseite bekommt man gültige Ansteuersignale (S_{TOP} und S_{BOT} in Abbildung 4.1) zur Ansteuerung der entsprechenden Leistungsbaulemente. Diese Signale werden, wie in Abbildung 4.6 dargestellt, durch separate *up/down*-Levelshifter auf die BOT-Sekundärseite übertragen. Im Pulsgenerierungsblock für den TOP-Schalter werden die Ein- und Ausschaltpulse aus dem übertragenen Ansteuersignal S_{TOP} erzeugt. Diese Pulse (ON, OFF) werden differenziell durch den HV-Levelshifter auf den *high side*-IC übertragen. Dort wird das Ansteuersignal durch entsprechende Schaltungen rekonstruiert und weiterverarbeitet (siehe Abschnitt 4.5), um anschließend die passenden Ansteuersignale des TOP-Schalters zu gewinnen.

Das übertragene Ansteuersignal S_{BOT} für den BOT-Schalter durchläuft zunächst den Signalanpassungsblock. An dieser Stelle erfolgt die Signaltrennung des Steuersignals in zwei auf verschiedenen Spannungsebenen liegende Pfade. So bekommt das Signal den passenden Spannungshub zur Ansteuerung des SiC-JFET. Gleichzeitig wird das Signal für die Ansteuerung des externen PMOS-Transistors der Kaskode durch die Verknüpfung zwischen dem Ansteuersignal und dem Fehlersignal gewonnen. Die resultierenden

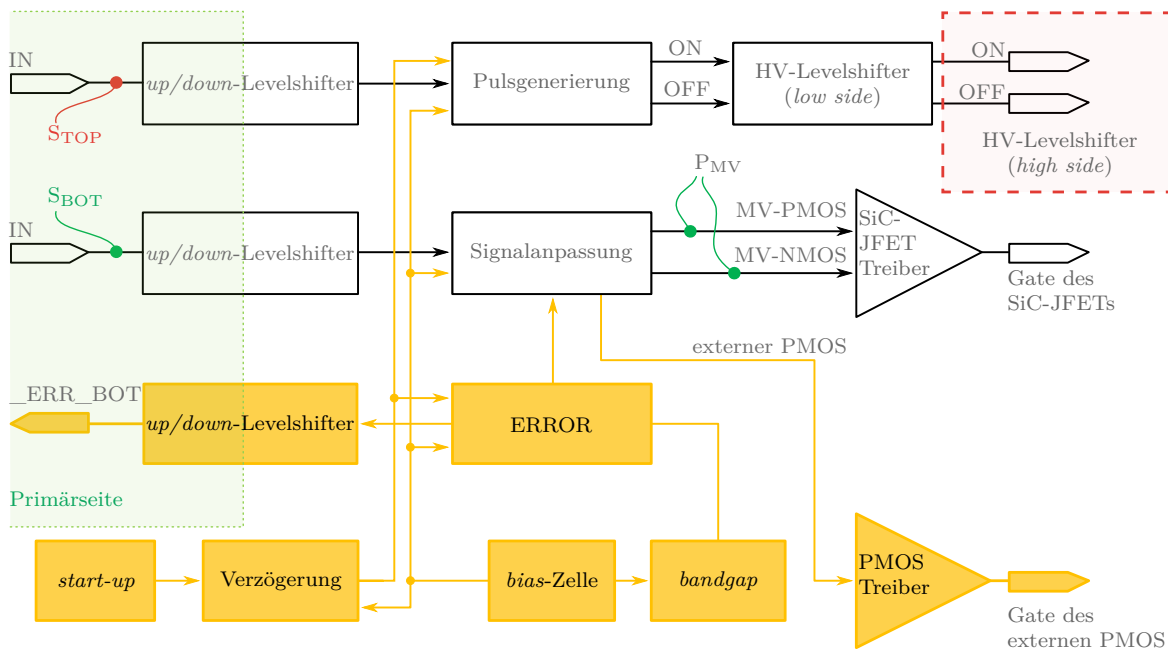


Abbildung 4.6: Schaltplan der BOT-Sekundärseite. Weiße Blöcke repräsentieren die Signalwege. Gelbe Blöcke repräsentieren die Fehlerüberwachung und die Fehlerverarbeitung.

Signale werden an die Treiberstufen-Blöcke geliefert. Dort werden die Signale verstärkt, um die Gates der Kaskode-Schalter (SiC-JFET und externen PMOS) direkt ansteuern zu können.

Ein sicherer Betrieb des Kaskode-Schalters verlangt die Implementierung von Überwachungsfunktionen in den jeweiligen Sekundärseiten (TOP und BOT). Dafür ist die Integration einer präzisen *bandgap*-Spannungsreferenz, einer *bias*-Zelle und einer *start-up*-Zelle auf den Sekundärseiten notwendig. Diese Zellen und andere Schaltungsteile, die für die Fehler- und Signalverarbeitung verantwortlich sind, sind im Schaltungsteil A (Abbildung 4.3) platziert und mit dem festen Spannungshub (I) versorgt. Andere Schaltungsteile, die für die Erweiterung des dynamischen Spannungshubs verantwortlich sind und keine Verarbeitungsaufgaben besitzen, werden im Schaltungsteil B (Abbildung 4.3) platziert und mit dem festen Spannungshub (II) versorgt. Beim Hochfahren der Versorgungsspannungen (Initialisierungsphase) ist es wichtig, einen sicheren Zustand zu garantieren. Dies ist durch die Zusammenarbeit zwischen verschiedenen Schaltungsteilen gelungen. Dazu gehören *start-up*-Zelle, Verzögerungszelle und Überwachungsfunktion der Gateabschaltspannung (Teil des ERROR-Blocks). Auf die Initialisierungsphase wird detailliert in Abschnitt 4.6.3 eingegangen.

Neben den herkömmlichen für *normally-off* Bauelemente verwendeten Überwachungsfunktionen, wie Betriebsspannungs- und Kurzschlussüberwachung, muss bei *normally-on* Schaltern die Gateabschaltspannung überwacht werden. Diese Überwachungsfunktion kann u.U. die Versorgungsspannungsüberwachung ersetzen, da eine Unterschreitung der Gateabschaltspannung in der Regel auf ein Problem in der Versorgungsspannung hinweist. Im Fehlerverarbeitungsblock werden die Fehlersignale (Gateabschaltspannungsüberwachung, *start-up*) zusammengefasst und als Fehler gemeldet. Die Meldung eines Fehlerzustandes löst ein definiertes Szenario aus, was den Signalweg des Steuersignals blockiert und ein Fehlersignal mit dem *up/down*-Levelshifter (siehe Abbildung 4.6) zur Primärseite zurück überträgt. Gleichzeitig wird ein Ausschalt-signal für den externen PMOS-Transistor ausgelöst. Dadurch wird der externe PMOS-Transistor ausgeschaltet, der wiederum den SiC-JFET durch die automatische *clamping*-Schaltung ausschaltet. Auf das detaillierte Szenario der Fehlerverarbeitung wird in Abschnitt 4.6.3 eingegangen.

Das Ausschalten des Kaskode-Schalters erfolgt mit Hilfe der in Abbildung 4.7 dargestellten integrierten *clamping*-Schaltungen. Wie bereits im Abschnitt 2.5.4 erwähnt, hat die in Abbildung 4.7a dargestellte *clamping*-Schaltung einen Nachteil für Transistoren mit positiver Gateeinschaltspannung. Um diesen Nachteil zu überwinden,

wurde der Transistor M_{clamp} mit der Diode D_{clamp} in Reihe geschaltet (siehe Abbildung 4.7 b). Dieser Transistor M_{clamp} und der externe PMOS-Transistor arbeiten im Gegentakt, d.h. bei normalem Betrieb bleibt M_{clamp} durch das Einschalten des externen PMOS-Transistors im Sperrzustand und blockiert damit den Pfad zwischen dem SiC-JFET-Gate und dem PMOS-Source, so dass eine höhere positive Spannung über 0,7 V am SiC-JFET-Gate angelegt werden kann. Das reduziert den $R_{\text{DS,on}}$ und demzufolge die Gesamtverluste des Kaskode-Schalters. Im Fehlerfall wird M_{clamp} durch das Ausschalten des externen PMOS-Transistors automatisch eingeschaltet. Dadurch wird der *clamping*-Pfad aktiviert. Die Zenerdiode (Z) dient hier zum Schutz des Gateoxides von M_{clamp} . Der Widerstand (R) begrenzt den Zwischenkreisstrom über der Zenerdiode (Z) und lässt gleichzeitig die Spannung über dem Drain des externen PMOS bis zur Gateabschaltsschwelle des SiC-JFET weiter ansteigen.

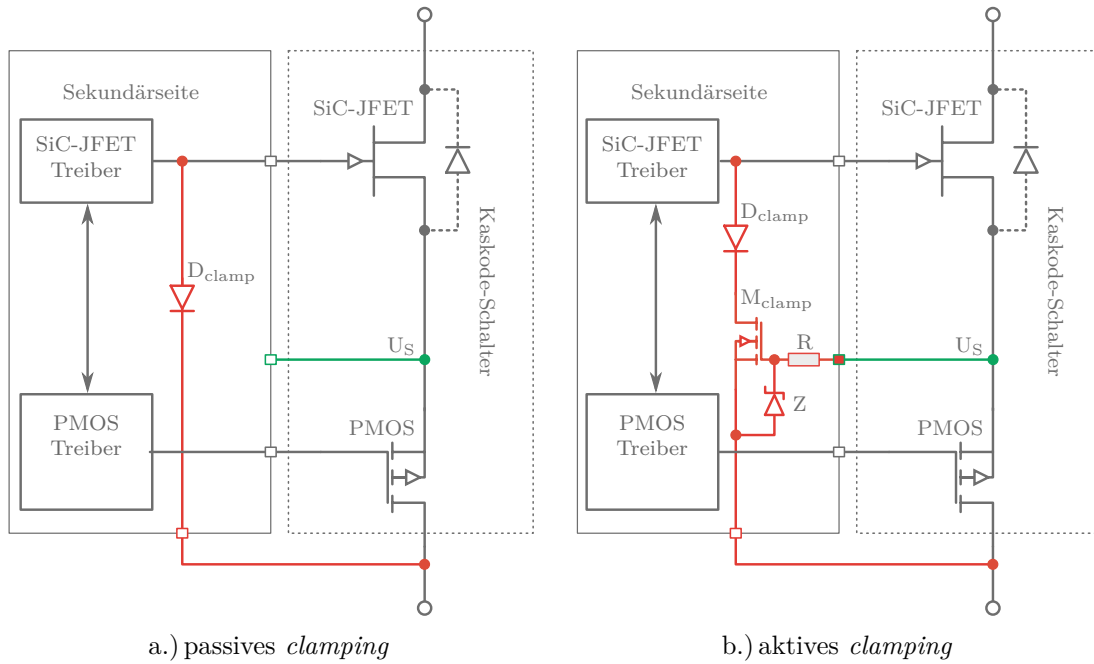


Abbildung 4.7: Automatische *clamping*-Schaltung im Fehlerfall und beim Hochfahren des Treibers zum Ausschließen eines Ein-Zustandes

4.5 TOP-Sekundärseite

Abbildung 4.8 zeigt den Schaltplan der TOP-Sekundärseite. Das von der Primärseite durch den HV-Levelshifter übertragene Steuersignal durchläuft zunächst den Rekonstruktionsfilter. Hier wird ein gültiges Signal S'_{TOP} aus den übertragenen Ein- und Ausschaltspulsen rekonstruiert. An diesem Block greift auch das *start-up*-Signal an und blo-

ckiert den Signalweg während der Initialisierungsphase. Eine detaillierte Beschreibung der differenziellen Signalübertragung durch die HV-Levelshifter und das dazugehörige Rekonstruktionsverfahren ist in [95, 78] zu finden. Im Block Signalanpassung werden die endgültigen Ansteuersignale für den SiC-JFET- und den externen PMOS-Transistor gewonnen. Ebenfalls ist auf der TOP-Sekundärseite die Implementierung einer präzisen *bandgap*-Spannungsreferenz, einer *bias*-Zelle und einer *start-up*-Zelle für den sicheren Betrieb des Kaskode-Schalters notwendig. Der Signalverlauf zwischen den Blöcken der TOP-Sekundärseite entspricht dem der BOT-Sekundärseite. Auf bestehende Unterschiede bezüglich der Signal- und Fehlerverarbeitung innerhalb der Blöcke wird in den nächsten Abschnitten eingegangen. Ein Hauptunterschied zur BOT-Sekundärseite liegt darin, dass keine Rückmeldung des Fehlersignals von der TOP-Sekundärseite zur Primärseite stattfindet, da kein HV-Levelshifter in Form eines HV-PMOS-Transistors zur Übertragung in der verwendeten Technologie verfügbar ist.

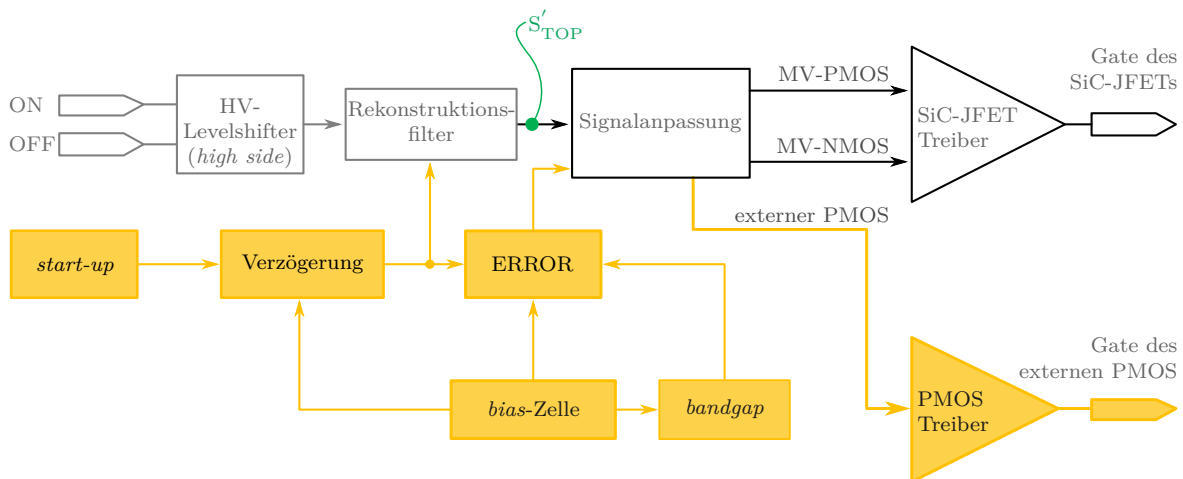


Abbildung 4.8: Schaltplan der TOP-Sekundärseite. Weiße Blöcke repräsentieren den Signalweg. Gelbe Blöcke repräsentieren die Fehlerüberwachung und die Fehlerverarbeitung.

4.6 Neue entworfenen Funktionsblöcke und modifizierte Zellen

Ausgehend von den Besonderheiten der Ansteuerung der SiC-JFETs in der Kaskode-Anordnung werden die neuen Funktionsblöcke im Folgenden vorgestellt und erläutert. Für die Gesamtschaltung wird weiterhin auf Schaltungsblöcke der Arbeiten [95] und [78] zurückgegriffen.

4.6.1 Signalanpassungsblock

Für ein besseres Verständnis des Signalanpassungsblocks wird zunächst das Betriebsszenario der Kaskode-Light anhand Abbildung 4.9 erklärt. Die Abbildung zeigt eine Vereinfachung der BOT- bzw. TOP-Sekundärseite. Die Transistoren M_1 bis M_4 repräsentieren die Treiberendstufen der Kaskode-Schalter. Der rote Pfad fungiert als *clamping*-Pfad und der grüne Pfad als gemeinsames Bezugspotenzial (gemeinsames Source für SiC-JFET und externen PMOS). Die Spannungspegel V_{dd_on} (Gateeinschaltspannung des SiC-JFET), G_{nd_off} (Gateabschaltspannung des SiC-JFET) und G_{nd_on} (Hilfsspannung) wurden bereits in Abschnitt 4.2 erläutert. Die konkreten Zahlen sind nur beispielhaft eingeführt.

Es kann im Betrieb zwischen zwei Fällen unterschieden werden. Während der Erste den normalen Betrieb darstellt, präsentiert der Zweite den fehlerhaften Betrieb. Im normalen Betrieb liegt kein Fehler vor und das Fehlersignal ist am Gate von M_3 und M_4 auf *high* (kein Fehler) gesetzt. Dadurch schaltet der Transistor M_4 den externen PMOS-Transistor mit z. B. -12 V permanent ein. So lang keine Änderung des Fehlersignals vorliegt, wird dieser Zustand gehalten. Der externe PMOS fungiert als niederohmiger Schalter im Kaskode-Zweig und schaltet gleichzeitig den M_{clamp} Transistor aus. Dadurch bleibt das Gate des SiC-JFET vom externen PMOS-Drain entkoppelt. Infolgedessen kann der SiC-JFET als autonomer Schalter durch seine Treiberstufe (M_1 , M_2) zwischen z. B. 2 V und -18 V ein- und ausgeschaltet werden.

Nun betrachten wir den Fall, dass ein Fehler z. B. wegen einer Gateabschaltspannungsunterschreitung oder in der Initialisierungsphase ausgelöst wird. Die Fehlerverarbeitungslogik reagiert auf den Fehlerfall mit einem *low*-aktiven Fehlersignal am Gate von (M_3 , M_4) und sperrt gleichzeitig den Weg der Ansteuersignale von M_1 und M_2 . Das *low* Fehlersignal schaltet M_3 ein, was wiederum den externen PMOS-Transistor zwingt, auszuschalten. Die Spannung am gemeinsamen Source U_S beginnt zu steigen, was einen dynamisch hohen Peak-Strom im Pfad II ($U_S - G_{nd_off} - M_2 - clamping$ -Pfad) verursacht, der die Bauelemente in diesem Pfad belastet. Um dies zu verhindern, muss das Gate des SiC-JFET durch das Ausschalten von M_1 und M_2 mit Hilfe der Diode D_1 isoliert werden. Hier unterscheidet man zwei Fälle:

- In der Initialisierungsphase (Hochlaufen der Betriebsspannung) werden die Transistoren M_1 und M_2 ab ca. 3 V aktiv ausgeschaltet.
- Mit dem Unterschreiten der Gateabschaltspannung werden die Transistoren M_1 und M_2 durch die noch vorhandene Spannung aktiv ausgeschaltet.

Dieser Zustand bleibt solange der Fehler vorhanden ist. Erst wenn keine Fehlermeldung (Initialisierungsphase ist zu Ende oder die Gateabschaltspannung hat ihre gewünschte Schwelle überschritten.) mehr vorliegt, beginnt die Logik des Treibers diesen Zustand zu verlassen. Dafür wird zuerst der SiC-JFET mit der definierten Gateabschaltspannung `Gnd_off` durch das Einschalten von M_2 ausgeschaltet. Danach wird das Fehler-signal auf *high* gesetzt und somit wird M_4 eingeschaltet. Zu diesem Zeitpunkt befindet sich der SiC-JFET bereit im ausgeschalteten Zustand. Durch das Einschalten von M_4 beginnt der Einschaltvorgang des externen PMOS-Transistors, der mehr als $1\text{ }\mu\text{s}$ ⁴ in Anspruch nimmt. Während des Einschaltvorgang des externen PMOS-Transistors darf der SiC-JFET nicht eingeschaltet werden, damit der externe PMOS nicht der Zwischenkreisspannung ausgesetzt wird. Erst wenn der externe PMOS durchgeschaltet ist, kann der Signalweg für die Taktung des SiC-JFET freigegeben werden.

Signalanpassung im BOT-Zweig: Das beschriebene Szenario ist durch logische Gatter und Verzögerungszellen im Signalanpassungsblock entsprechend dem Schaltplan in Abbildung 4.10 für die BOT-Sekundärseite implementiert. Ansteuer- und Fehler-signal gelangen über den IN- bzw. `_ERRIN`-Eingang zu dem Signalanpassungsblock. Die Ansteuersignale der Transistoren M_1 und M_2 (siehe Abbildung 4.9) verlassen den Signalanpassungsblock über die Ausgänge `OUTP` bzw. `OUTN`. Das Ansteuersignal der Transistoren M_3 und M_4 (siehe Abbildung 4.9) verlässt den Block über den Ausgang `EX-PMOS`. Die simulierten Signale dieses Blocks sind in Abbildung 4.11 dargestellt. Es werden drei Zustände unterschieden: **Normalbetrieb**, **Auftreten des Fehlers** und **Wegfall des Fehlers**. Die Signale `IN`, `S1`, `OUTN` und `_ERRIN` liegen im Spannungshub `[Vdd_off, Gnd_off]` während die Signale `OUTP` und `EX-PMOS` im Spannungshub `[Vdd_on, Gnd_on]` arbeiten.

Das am Eingang (`IN`) über den *up/down*-Levelshifter gelangte Signal durchläuft zunächst eine Kurzimpulsunterdrückung (KIU), um die möglichen Kurzimpulse (*glitches*) bei der Übertragung von der Primär- auf die Sekundärseite zu unterdrücken. Danach wird der Signalweg in zwei Pfade (a) und (b) getrennt. Parallel werden die Signale in dem jeweiligen Pfad (a, b) für die Ansteuerung der Transistoren (M_1 und M_2) vorbereitet.

⁴Der externe PMOS-Transistor besitzt eine große Fläche und Gatekapazität, um möglichst niederohmig zu sein. Sein Treiber ist relativ klein im Vergleich zum Treiber des SiC-JFET

Im Pfad (a) wird das Signal zuerst mit dem invertierenden Ausgang des RS-Flipflops durch ein NAND-Gatter verknüpft. Demgegenüber wird das Signal im Pfad (b) mit dem nicht invertierenden Ausgang des RS-Flipflops durch ein NOR-Gatter verknüpft. Nach der Verknüpfung erfolgt im Pfad (a) die Signalübertragung über den up-Levelshifter. Dadurch lässt sich der Spannungshub des Ansteuersignals erweitern bzw. der Einschaltpegel des Ansteuersignals wird von V_{dd_off} (z. B. -6 V) auf V_{dd_on} (z. B. $+2\text{ V}$) umgesetzt.

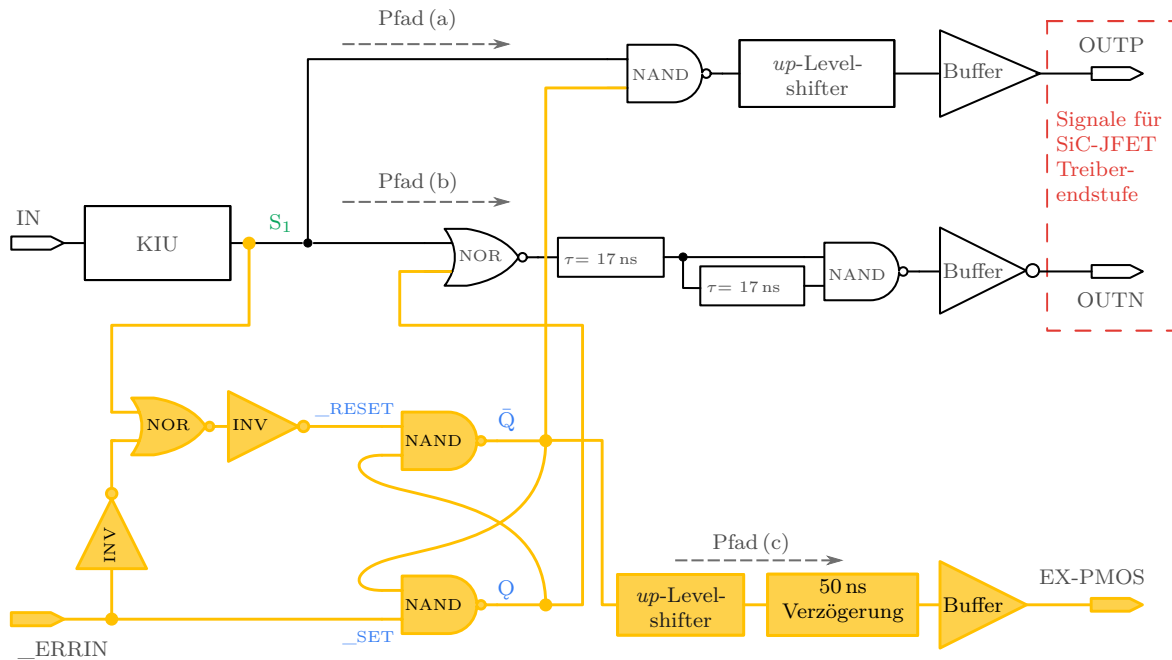


Abbildung 4.10: Vereinfachter Schaltplan des Signalanpassungsblocks für die BOT-Sekundärseite zur Erzeugung der Ansteuersignale der Treiberendstufe des SiC-JFET sowie des Ansteuersignals des externen PMOS

Das übertragene Signal wird mit einem Schmitt-Trigger (in Abbildung 4.10 nicht gezeigt) ausgewertet. Damit werden die Flankensteilheit und die Störsicherheit des Signals erhöht. Die durch die Signalübertragung resultierende Verzögerungszeit im Pfad (a) werden durch die Verzögerungsblöcke ($\tau = 17\text{ ns}$) im Pfad (b) ausgeglichen. Gleichzeitig sorgen diese Blöcke für eine Flankenverschiebung zwischen den steigenden und fallenden Flanken der Ansteuersignale OUTP, OUTN. Dies ist in den vergrößerten Bereichen I und II in Abbildung 4.11 zu sehen. Durch die Flankenverschiebung wird ein Querstrom bei der Umschaltung zwischen M_1 und M_2 verhindert. Abschließend werden die OUTP- und OUTN-Ansteuersignale über einen Vortreiber auf die Treiberendstufen des SiC-JFET gelegt.

Der Fehlerzustand wird mit Hilfe eines RS-Flipflop, das aus zwei NAND-Gattern besteht, verarbeitet. Bei einem *low* Signal (Fehlerfall) am Eingang (*_ERRIN*) wird das RS-Flipflop auf *high* gesetzt. Damit werden die Signalwege in den Pfaden (a) und (b) durch die vorhandene NOR- bzw. NAND-Verknüpfung blockiert. Die Ausgangssignale *OUTP* und *OUTN* werden hinsichtlich der Transistoren M_1 und M_2 in den ausgeschalteten Zustand gesetzt (t_1 in Abbildung 4.11). Als Folge wird das Gate des SiC-JFET, wie bereits im Betriebsszenario beschrieben, kurzzeitig hochohmig bevor das Gate das Potenzial $U_{D,pmos}$ annimmt (siehe dazu Abschnitt 6.4).

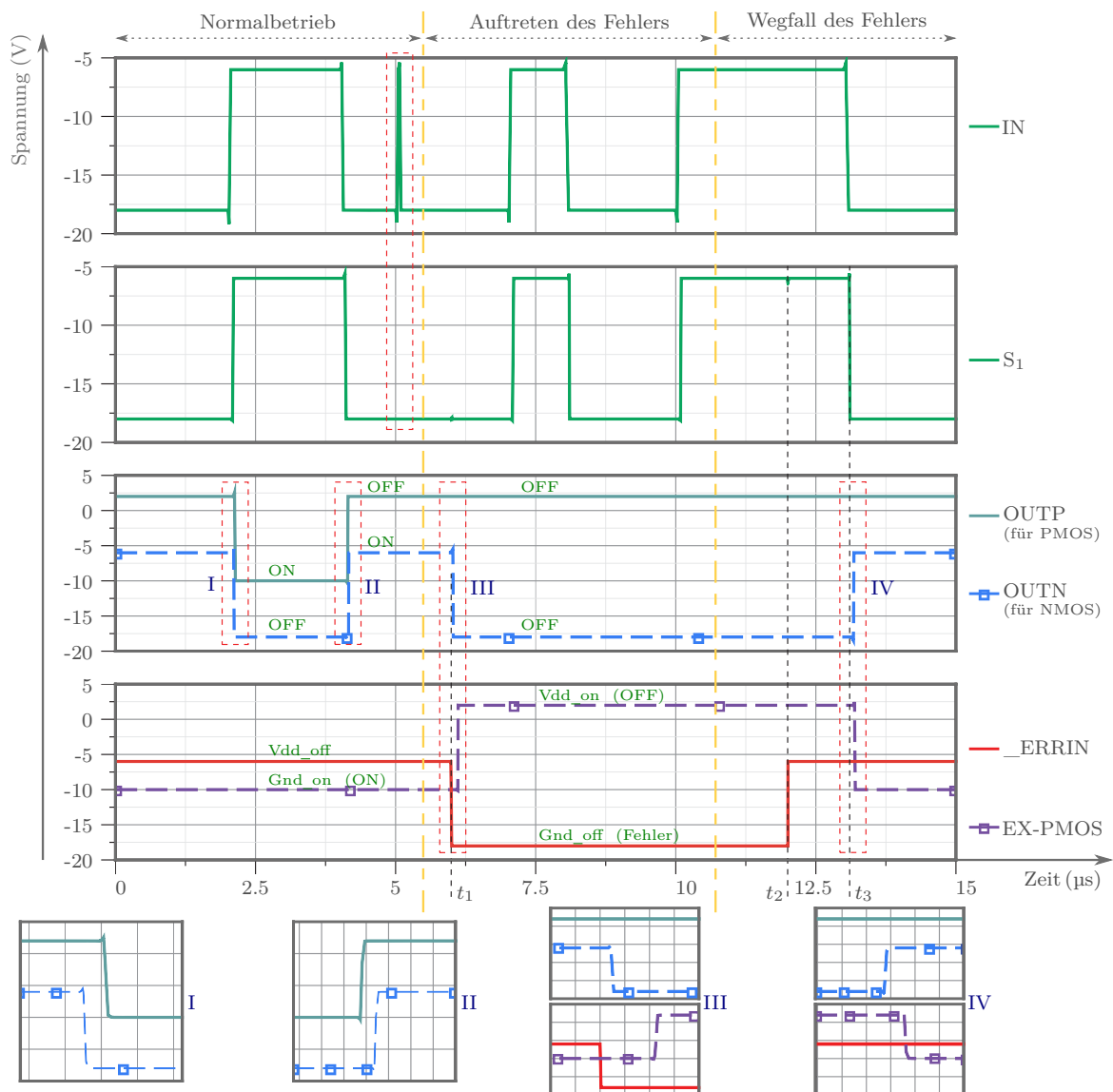


Abbildung 4.11: Simulierte Signale des Signalanpassungsblocks für die BOT- Sekundärseite

Das invertierte ($_ERRIN$) Signal und das Ansteuersignal (S_1) werden durch ein NOR-Gatter miteinander verknüpft. Diese Verknüpfung garantiert einerseits einen gültigen Zustand an den Eingängen ($_SET$, $_RESET$) des RS-Flipflops und andererseits, dass das RS-Flipflop den Fehlerzustand speichert, d. h. wenn $_ERRIN$ von *low* auf *high* (t_2 , Wegfall des Fehlers) wechselt, bleibt das RS-Flipflop im gesetzten Zustand. Erst wenn kein Einschaltimpuls des Leistungselements vorliegt (t_3), wird das RS-Flipflop auf *low* zurückgesetzt. Nach dem bedingten Rücksetzen des RS-Flipflops werden die Eingänge der NOR-Verknüpfung im Pfad (a) mit zwei *low* Signalen belegt. Demgegenüber liegen auf den Eingängen der NAND-Verknüpfung im Pfad (b) ein *low* und ein *high* Signal vor. Diese Belegungen sorgen dafür, dass das OUTN Signal von *low* auf *high* bei t_3 wechselt, während das OUTP Signal den alten Zustand (*high*) behält. Diese Einstellungen schalten den SiC-JFET nach einem Fehlerzustand mit definierter Abschaltspannung Gnd_off aus. Durch die beschriebene Logik entstehen keine fehlerhaften Steuermuster. Die Zeitdauer für die Fehlerspeicherung wird auf der Primärseite mit $10\ \mu s$ festgelegt. Diese Zeitdauer ist notwendig, da beim Verlassen des Fehlerzustands zuerst der externe PMOS-Transistor eingeschaltet werden muss, bevor die Taktung des SiC-JFET startet.

Das Ansteuersignal (EX-PMOS) des externen PMOS-Transistors wird in diesem Block mit Hilfe der Fehlerverarbeitung erzeugt. Dafür wird zuerst das Signal am invertierenden Ausgang des RS-Flipflops durch einen *up*-Levelshifter übertragen, um den für die Ansteuerung passenden Spannungshub zu bekommen. Durch diese Übertragung wird das Fehlersignal von einem Spannungshub zwischen Vdd_off (z. B. $-6\ V$) und Gnd_off (z. B. $-18\ V$) auf den Spannungshub zwischen Vdd_on (z. B. $+2\ V$) und Gnd_on (z. B. $-12\ V$) umgesetzt. Das übertragene Signal wird mit einem Schmitt-Trigger (ist in Abbildung 4.10 nicht zu sehen) ausgewertet. Nach der Auswertung durchläuft das Signal eine Verzögerungszeit. Diese Verzögerungszeit und die durch die Übertragung resultierende Verzögerungszeit haben zwei Ziele. Erstens sorgen sie beim Auftreten eines Fehlers (t_1) dafür, dass zuerst das SiC-JFET Gate durch das Ausschalten der beiden M_1 und M_2 Transistoren kurzzeitig hochohmig wird. Dann wird der externe PMOS-Transistor durch das EX-PMOS-Signal ausgeschaltet (siehe vergrößerter Bereich III in Abbildung 4.11). Zweitens, wenn der Fehler weg ist, wird der SiC-JFET, der sich bereits im Ausschalten befindet, mit definierter Gateabschaltspannung ausgeschaltet. Erst dann darf der externe PMOS-Transistor eingeschaltet werden (siehe vergrößerter Bereich IV in Abbildung 4.11). Durch die bereits beschriebene Zeitdauer der Fehlerspeicherung wird abgesichert, dass der SiC-JFET gesperrt bleibt, solange bis

der externe PMOS-Transistor einschaltet. Das EX-PMOS-Signal gelangt ebenfalls über einen Vortreiber auf die Treiberendstufe des externen PMOS-Transistors.

Signalanpassung im TOP-Zweig: Im Unterschied zur BOT-Sekundärseite wird die Zeitdauer der Fehlerspeicherung nicht von der Primärseite bestimmt, weil der Fehler der TOP-Sekundärseite nicht zurück übertragen wird (HV-PMOS-Transistor nicht vorhanden). Deshalb ist es nötig, dass diese Zeitdauer in der TOP-Sekundärseite generiert wird. Dies kann durch einfache Verzögerung der Fehlerabmeldung realisiert werden. Dadurch ändert sich die logische Verknüpfung im Schaltplan des Signalanpassungsblocks, allerdings bleiben die Ein- und Ausgänge und der Betriebsverlauf wie auf der BOT-Sekundärseite erhalten. Die Abbildung 4.12 zeigt den vereinfachten Schaltplan der TOP-Sekundärseite, die dazugehörige Simulation ist in Abbildung 4.13 dargestellt.

Wie im Schaltplan zu sehen, wird ein Verzögerungsblock ($4\mu\text{s}$) vor dem RS-Flipflop eingebaut. Der Verzögerungsblock sorgt dafür, dass die steigende Flanke des Fehlersignals (_ERRIN), die das Rücksetzen des Fehlers ankündigt (t_1 in Abbildung 4.13), $4\mu\text{s}$ bei t_3 verzögert wird. Die fallende Flanke bleibt unverändert. Die $4\mu\text{s}$ werden ausgewählt, um ein sicheres Verlassen des Fehlerfalls zu garantieren.

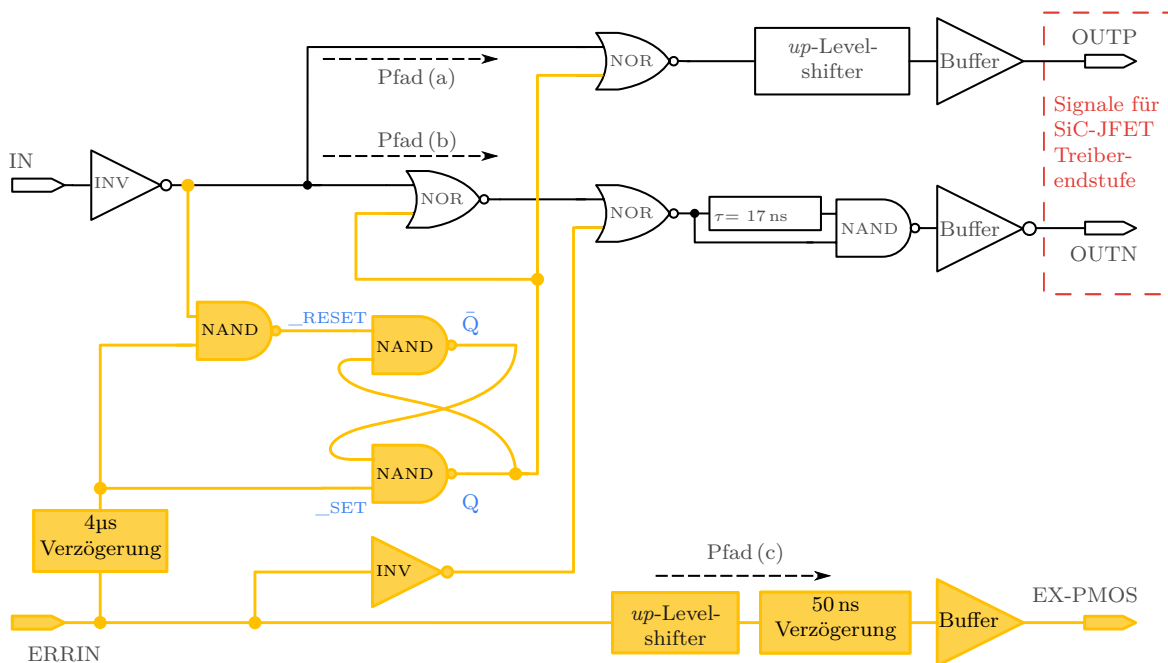


Abbildung 4.12: Vereinfachter Schaltplan des Signalanpassungsblocks für die TOP-Sekundärseite zur Erzeugung der Ansteuersignale der Treiberendstufe des SiC-JFET sowie des Ansteuersignals des externen PMOS

Im Pfad (b) befinden sich zwei NOR-Verknüpfungen. Durch die Erste wird garantiert, dass der Signalweg erst nach dem Rücksetzen der Fehlerspeicherung freigegeben wird. Durch die Zweite wird der SiC-JFET mit definierter Spannung V_{dd_off} nach dem Wegfall des Fehlerereignisses ausgeschaltet. Im Vergleich zur BOT-Implementierung wird im Pfad (a) das NAND-Gatter durch ein NOR-Gatter ausgetauscht. Das NOR-Gatter garantiert wie auf der BOT-Sekundärseite einen *high* Zustand des OUTF-Signals im Fehlerfall. Der Signalverlauf im Pfad (a) und (b) beim Verlassen des Fehlerzustandes ist in den simulierten Signalen in Abbildung 4.13 zu sehen. Bei t_1 wechselt das $_ERRIN$ von *low* auf *high*. Kurz danach wechselt das OUTN-Signal ebenfalls von *low* auf *high*. Demgegenüber ändert das OUTF-Signal seinen Zustand nicht. Damit wird der M_2 Transistor eingeschaltet und der M_1 Transistor ausgeschaltet (M_1 und M_2 in Abbildung 4.9). Trotz des Eintreffens eines neuen Einschaltimpulses bei t_2 bleiben die letzten Signalzustände erhalten, solange die Zeitdauer der Fehlerspeicherung noch nicht abgelaufen ist. Zum Zeitpunkt t_3 wird der Fehlerspeicher zurückgesetzt. Die nächste fallende Flanke des Einschaltsignals (bei t_4) schaltet den Signalweg frei.

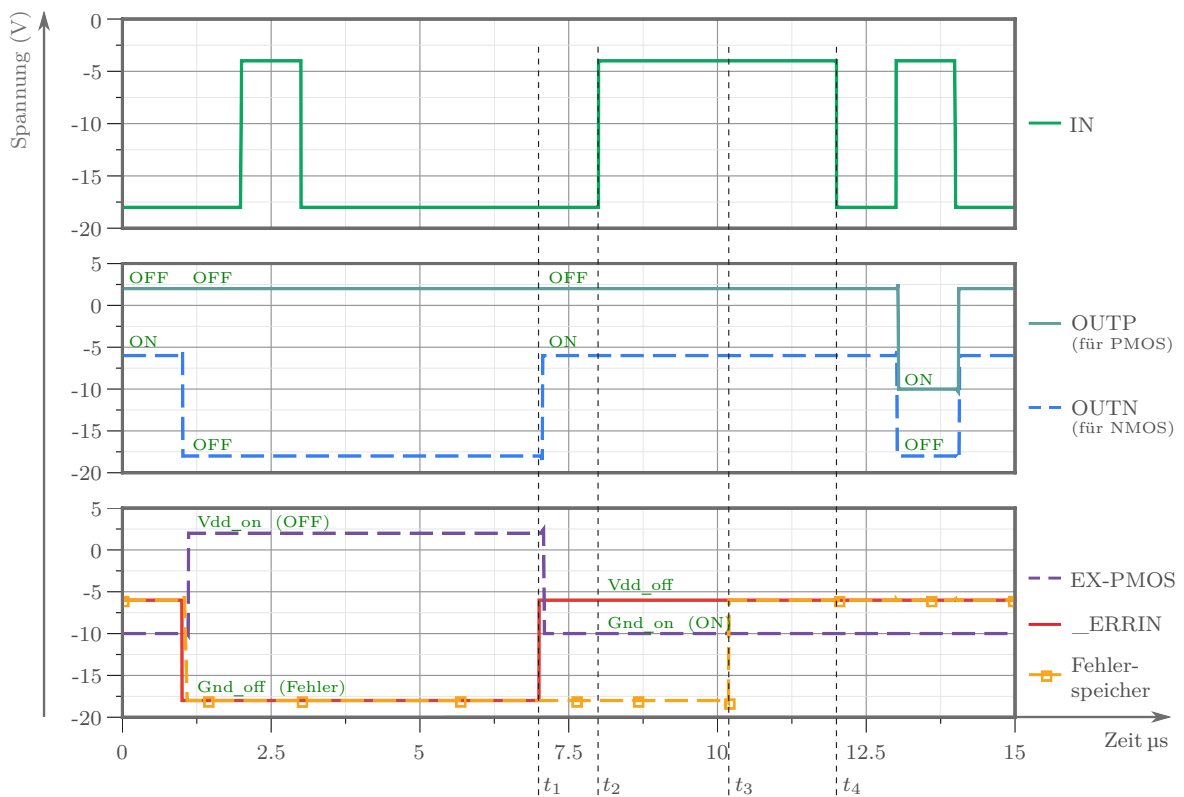


Abbildung 4.13: Simulierte Signale des Signalanpassungsblocks für die TOP- Sekundärseite

4.6.2 Erweiterung des Signalanpassungsblocks

Durch die Erweiterung des Signalanpassungsblocks kann der Treiber zur Ansteuerung verschiedenen Transistoren mit unterschiedlichen Wirkprinzipien eingesetzt werden. Dank dem Prinzip der Versorgungsspannung, das in Abbildung 4.3 dargestellt wurde, können Bauelemente mit negativer Spannung ohne weiter Beschaltung abgeschaltet werden. Dank der SOI- Isolationstechnik können sowohl positive als auch negative Spannungen gegenüber Ground verarbeitet werden. Durch einen externen Anschluss kann zwischen zwei Modi ausgewählt werden.

Kaskode-Modus: Dieses Modus gilt für die Ansteuerung von *normally-on* Transistoren in Kaskode-Light-Anordnung, z. B. SiC-LJFET.

Normal-Modus: Dieser Modus gilt für die Ansteuerung von Si-IGBT-, Si-MOSFET sowie *normally-off* SiC-Transistoren (z. B. SiC-MOSFET) sowie *normally-on* Bauelementen in herkömmlicher Kaskode-Schaltung, z. B. SiC-VJFET.

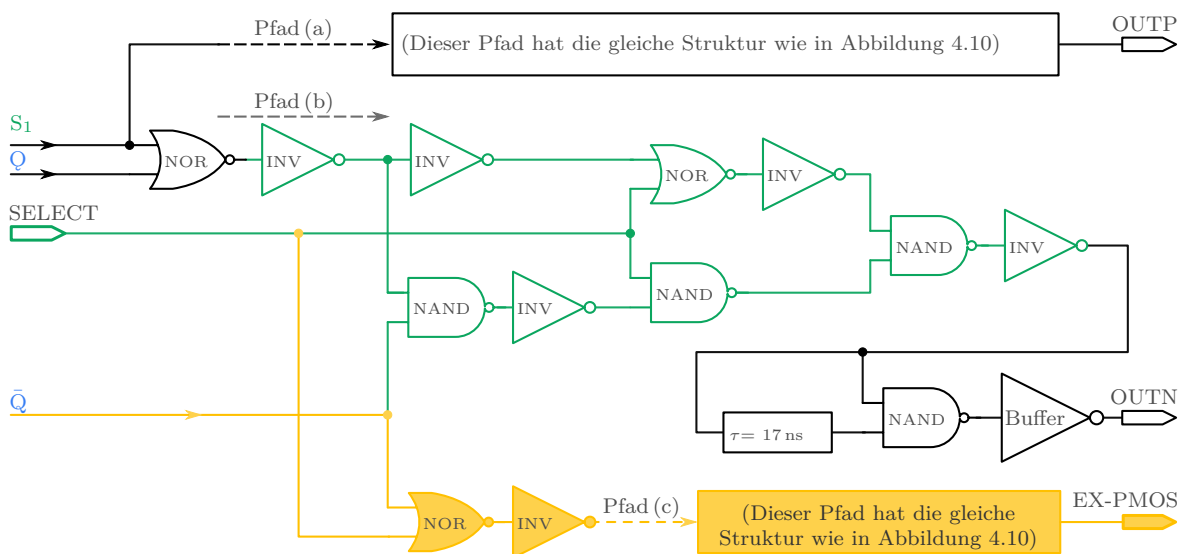


Abbildung 4.14: Erweiterung des Signalanpassungsblocks für universellen Bauelemente-Einsatz

Abbildung 4.14 zeigt den erweiterten Signalanpassungsblock. Die dazugehörigen simulierten Signale sind in der Abbildung 4.15 dargestellt. Der Hauptunterschied im Vergleich zum im Abschnitt 4.6.1 erläuterten Signalanpassungsblock liegt im Pfad (b), der für die Ansteuerung des Transistors M_4 (siehe Abbildung 4.9) zuständig ist. Dieser Transistor wird mit dem Signal OUTN (siehe Abbildung 4.15) nur im Fehlerfall unterschiedlich angesteuert. Der Zustand des Signals OUTN bzw. des M_4 -Transistors wird

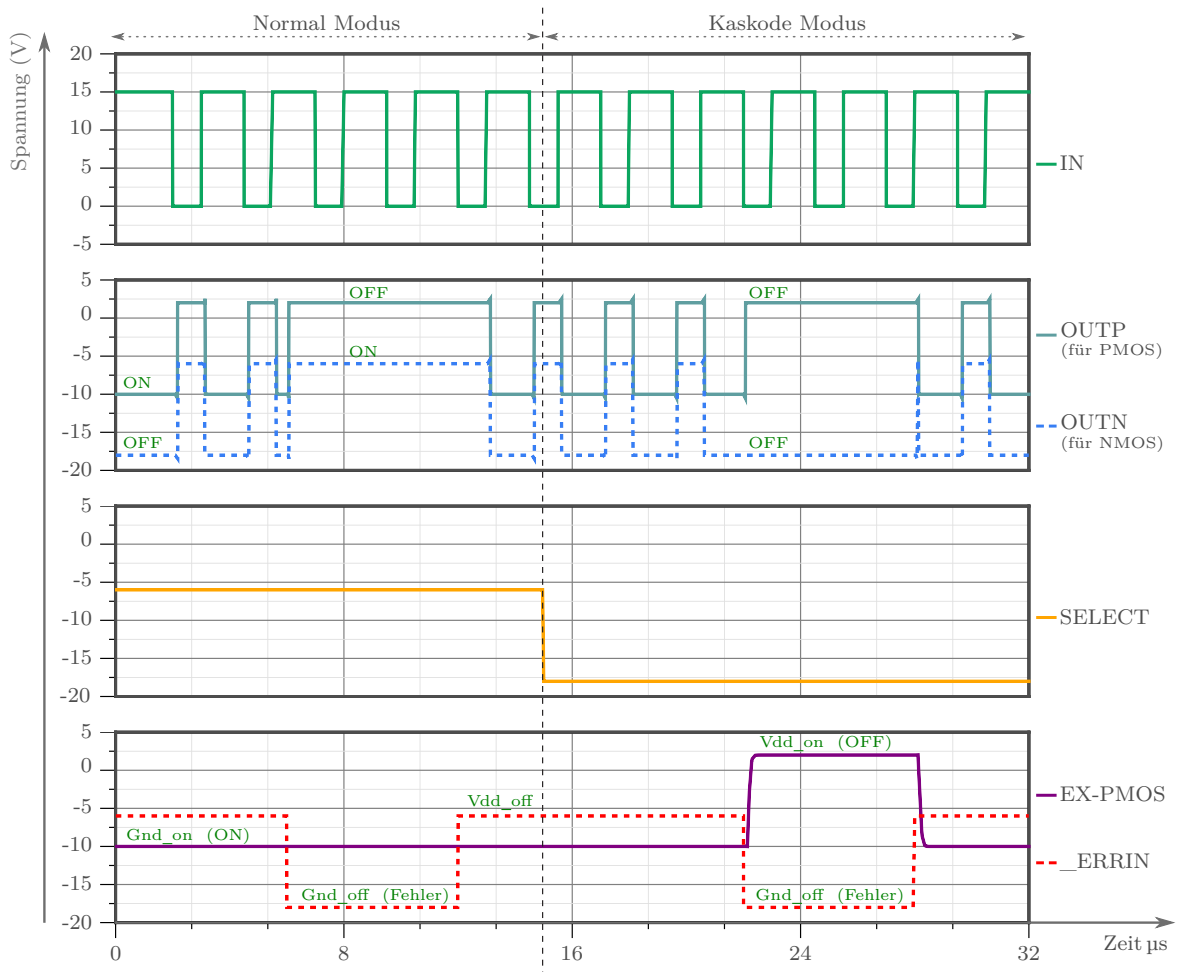


Abbildung 4.15: Simulierte Signale des erweiterten Signalanpassungsblocks

im Fehlerfall durch den Anschluss bzw. das Signal SELECT bestimmt. Während der Transistor M_4 im Kaskode-Modus ($SELECT = Gnd_off$) bei einem Fehler ausgeschaltet werden muss, muss er im Normal-Modus ($SELECT = Vdd_off$) eingeschaltet werden. Durch das Ausschalten des Transistors M_4 im Kaskode-Modus wird ein dynamischer Stromfluss in den Treiber verhindert, während durch das Einschalten des Transistors M_4 im Normal-Modus der Leistungsschalter mit definierter Spannung ausgeschaltet wird. Der SELECT-Anschluss greift durch ein NOR-Gatter in den Pfad (c) ein, der für die Ansteuerung des externen PMOS-Transistors mit dem Signal EX-PMOS zuständig ist. Dadurch wird dieser Pfad im Normal-Modus deaktiviert, um den Stromverbrauch zu reduzieren. In Abbildung 4.15 wird durch das Signal SELECT zwischen den beiden Modi umgeschaltet. Allerdings sind die Signale OUTN und EX-PMOS im Fehlerfall anders definiert. Das Signal OUTN ist für die Ansteuerung des oben beschriebenen Transistors M_4 zuständig. Das EX-PMOS Signal wird im Normal-Modus deaktiviert.

Diese universelle Treiber-Variante, die für alle SiC-Transistoren und für Si-IGBTs geeignet ist, ist bisher noch nicht praktisch in einem Chip realisiert. Die entsprechende unterschiedliche Funktionalität ist allerdings in verschiedenen IC-Layouts praktisch verfügbar.

4.6.3 Fehlerverarbeitung in BOT- und TOP-Sekundärseite

Der Fehlerverarbeitungsblock hat die Aufgabe, die detektierten Fehlersignale miteinander zu verknüpfen und ein gemeinsames Signal an die anderen Schaltungsteile weiterzuleiten. Zu den Fehlersignalen gehören das *start-up*-Signal und das Statussignal der Gateabschaltspannung des *normally-on* Leistungsbauelements. Letzteres ist von großer Bedeutung, da es einen Brückenkurzschluss vermeidet, wenn die Gateabschaltspannung eine bestimmte Schwelle unterschreitet. Die Gateabschaltspannungsüberwachung dient gleichzeitig indirekt als Betriebsspannungsüberwachung. Es ist zu beachten, dass die Gateabschaltspannungsüberwachung nur für bestimmte Bauformen des SiC-JFET eingesetzt werden kann. Der Grund dafür liegt daran, dass die heutigen Transistoren spezifische Schwellspannungen (hersteller- und strukturabhängig) besitzen. Infolgedessen sind unterschiedlicher Treibervarianten notwendig, um die heutigen SiC-JFETs zu treiben. Eine externe Konfiguration der Gateabschaltspannungsüberwachung oder auch eine interne Konfiguration sind denkbar.

Die klassische Kurzschlussüberwachung [78, S. 126] (Überwachung der U_{DS} -Spannung) ist für *normally-on* Leistungsbauelemente auf der Sekundärseite des Treibers nicht so ohne Weiteres realisierbar, da eine positive Spannung größer $[U_{DSsat} + 2 * U_{F(Diode, 650V)}]$ fehlt. Die Überwachung der U_{DS} -Spannung kann nur für die BOT-Schalter durchgeführt werden, da die nötige positive Spannung vorhanden ist. Auf diese Variante wurde in dieser Arbeit verzichtet und die Laststromerfassung über einen Shunt realisiert. Dafür ist eine entsprechende ITRIP-Schaltung auf der Primärseite integriert. Die Laststromerfassung über einen Shunt ist nur für Lastströme kleiner als 50 A praktikabel. Bei hohen Lastströmen entstehen hohe Verluste im Shunt. Als Alternative könnte das im Abschnitt 6.5 dargestellte Konzept implementiert werden.

Abbildung 4.16 zeigt das Blockschaltbild des Fehlerblocks auf der BOT-Sekundärseite. Die Gateabschaltspannung des SiC-JFET wird im UVLO-Block überwacht. Bei Fehlerdetektierung wird ein *low*-aktives Signal freigegeben. Dieses Signal wird invertiert, und mit dem *start-up*-Signal durch ein NOR-Gatter verknüpft. Das am Ausgang `_ERR`

resultierte Signal gelangt über einen Zwischentreiber einerseits zum Signalanpassungsblock auf der BOT-Sekundärseite, andererseits wird das Signal über einem *up/down*-Levelshifter auf die Primärseite zurückübertragen. Dort wird das Fehlersignal an den Fehlerverarbeitungsblock der Primärseite weitergegeben, d. h. der Fehlerzustand der BOT-Sekundärseite wird ständig an die Primärseite gemeldet. Dadurch lässt sich der Signalweg sowohl für den BOT-Schalter als auch für den TOP-Schalter im Fehlerzustand blockieren. Auf der TOP-Sekundärseite hat das Blockschaltbild der Fehlerverarbeitung die gleiche logische Struktur mit dem Unterschied, dass keine Rückmeldung des Fehlersignals zur Primärseite stattfindet.

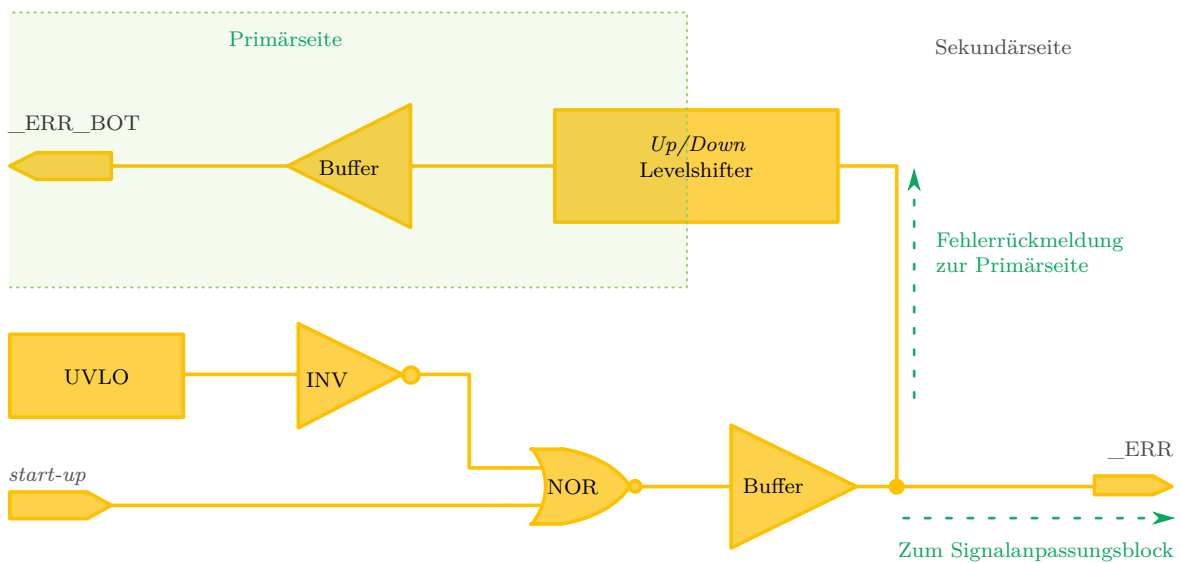


Abbildung 4.16: Schaltplan des Fehlerverarbeitungsblocks für die BOT-Sekundärseite

Die entsprechenden Simulationsergebnisse werden in Abbildung 4.17 gezeigt und gelten für die BOT- und TOP-Sekundärseite. Die Signale *Vdd_off*, *Gnd_off* und *U_S* repräsentieren die Betriebsspannungen bzw. das Bezugspotenzial. Die Signale *start-up*, *_ERR* und *_ERR_BOT* repräsentieren das Betriebsbereitschaftssignal, das Fehlersignal der Sekundärseite und das über den *up/down*-Levelshifter auf die Primärseite übertragene Fehlersignal. Während des Simulationsvorgangs wurde die Spannung *Gnd_off* in der Initialisierungsphase und auch beim Testen des Gateabschaltspannungsfehlers langsam verändert. Dies ist bei langsam hochfahrenden Betriebsspannungen realitätsnah, da die überwachten Spannungen wegen ihrer Stützkapazitäten keinen sprunghaften Veränderungen unterliegen. Die Spannung *Vdd_off* wird z. B. durch eine Zenerdiode gewonnen (siehe Abbildung 4.3). In Abbildung 4.17 werden die zwei auftretenden Betriebszustände, die das Fehlersignal auslösen, dargestellt.

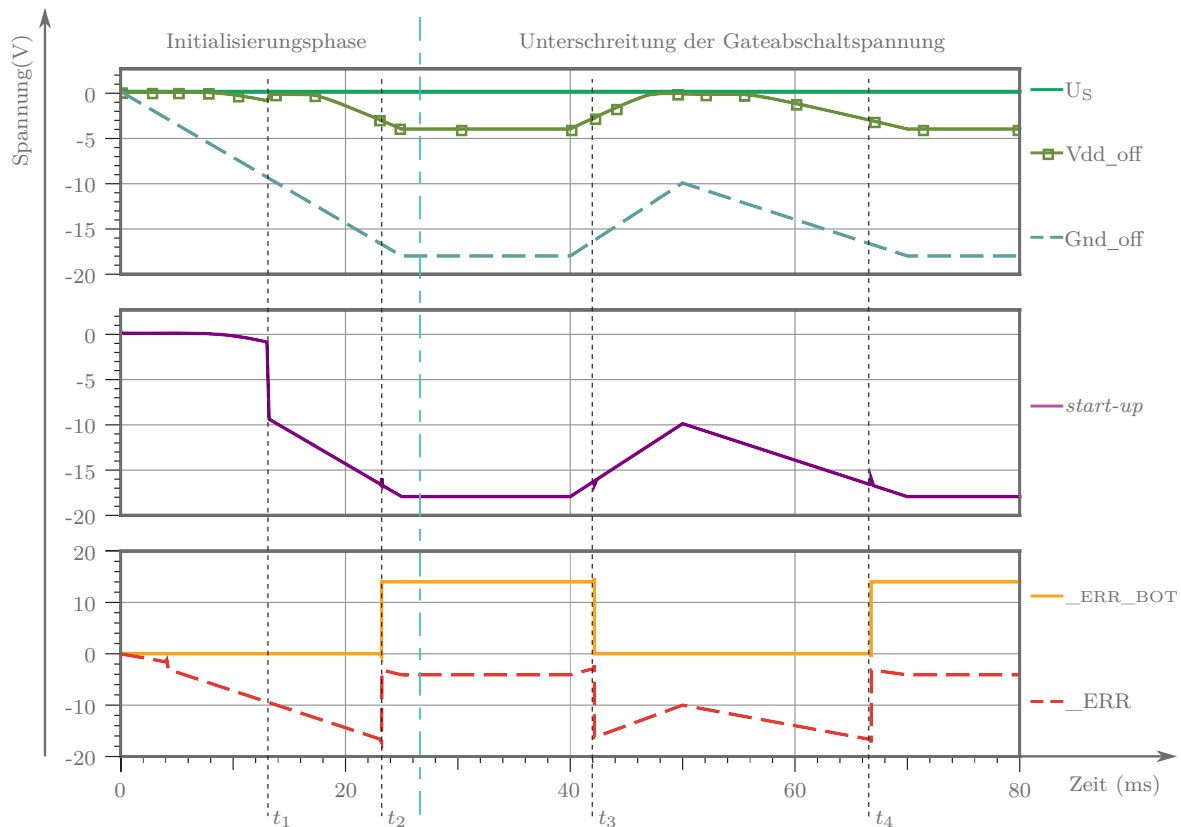


Abbildung 4.17: Simulierte Signale des Fehlerblocks für BOT-Sekundärseite

A. Initialisierungsphase

Beim Hochfahren der Betriebsspannung in Richtung der negativen Gateabschaltspannung $Gnd_off = -18\text{ V}$ (SiC-LJFET) bleibt das Einschaltinitialisierungssignal (*start-up*) nahe der Spannung Vdd_off und erzwingt dadurch, dass das $_ERR$ Signal mit der Betriebsspannung läuft, d.h. das $_ERR$ Signal bleibt *low-aktiv* und sperrt den Weg des Ansteuersignals. Zum Zeitpunkt t_1 löst das *start-up*-Signal bei ausreichender Spannung (Spannungsdifferenz zwischen Vdd_off und Gnd_off) eine Betriebsbereitschaft aus. Es ist zu beachten, dass das Auslösen des Betriebsbereitschaftssignals mit einer kleinen Zeitverzögerung versehen ist (siehe Abbildung 4.6). Dadurch wird garantiert, dass die Überwachungszelle der Gateabschaltspannung die richtige Entscheidung im Zeitpunkt t_1 trifft. Zu diesem Zeitpunkt hat die Gateabschaltspannung des SiC-JFET den gewünschten Wert noch nicht ganz erreicht. Infolgedessen hält die UVLO-Zelle das $_ERR$ Signal *low-aktiv*. Zum Zeitpunkt t_2 hat die Gateabschaltspannung den gewünschten Wert überschritten. Dies wird mit den Signalen $_ERR$ und $_ERR_BOT$ an den Signalanpassungsblock und an die Primärseite gemeldet (fehlerfreier Zustand).

B. Unterschreitung der Gateabschaltspannung

Eine ähnliche Überwachungsschaltung wie in [78] wurde auch hier eingesetzt (siehe Abbildung 4.18). Die Dimensionierung der Spannungsteiler-Widerstände garantiert einen geringen Querstrom, um den Stromverbrauch der Zelle zu reduzieren. Der Spannungsteiler stellt die zum Vergleich nötige Spannung (U_{SP}) bereit. Diese Spannung wird mit der Referenzspannung verglichen, die durch die *bandgap*-Zelle an dem invertierenden Eingang des Hysteresekomparators bereitgestellt wird. In normalen Betrieb liegt U_{SP} über U_{ref} und der Ausgang des Komparators ist *high*. Im Fehlerfall sinkt U_{SP} unter U_{ref} und der Komparatorausgang wechselt auf *low*-aktiv. Um ein Abschalten aufgrund unmotivierter Fehler (kurze Störungen) zu vermeiden, z. B. kurzzeitiges Absinken der Versorgungsspannung beim Schalten, wird ein Kondensator C eingesetzt [78]. Dadurch wird die Fehlererfassung ca. $4\mu s$ verzögert. Das Fehlersignal wird vom Schmitt-Trigger an den Ausgangsbuffer weitergegeben.

Die Simulationsergebnisse sind in Abbildung 4.17 zu sehen. In t_3 wird die Schwelle unterschritten, kurz danach kommt die Fehlermeldung mit ca. $4\mu s$ Verzögerung. Durch den Hysteresekomparator wird sichergestellt, dass das Rücksetzen des Fehlersignals erst nach dem Überschreiten einer kritischen Schwelle (zum Zeitpunkt t_4) zurückgesetzt wird. Dadurch lassen sich Oszillationen am Komparatorausgang vermeiden.

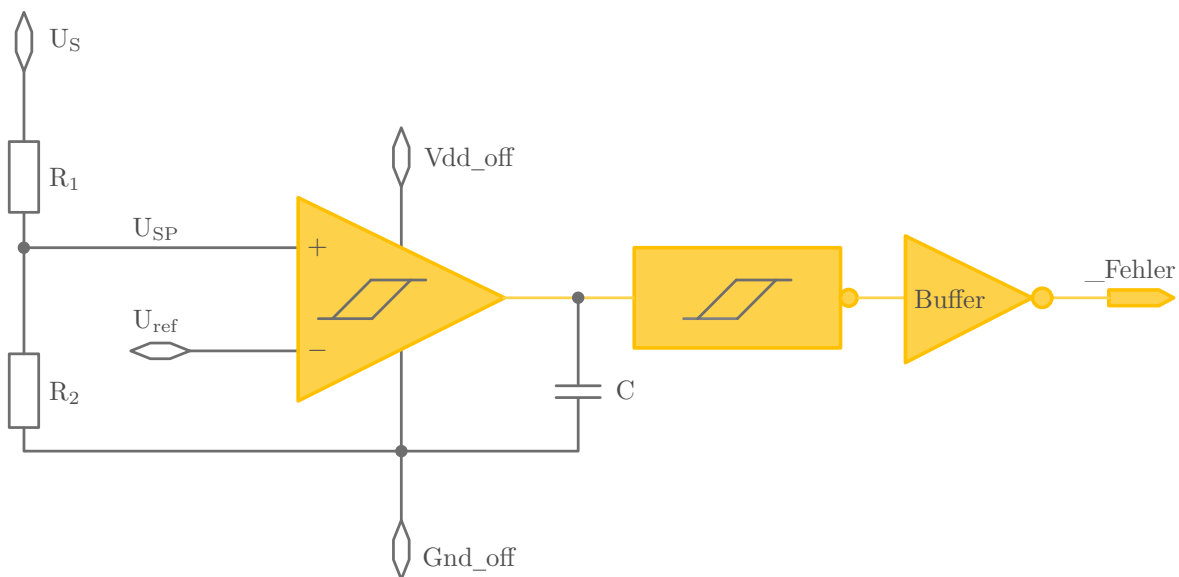


Abbildung 4.18: Überwachung der Abschaltspannung für BOT- und TOP-Sekundärseite

4.6.4 *Bandgap-Referenz*

Ein korrekter Betrieb des ICs verlangt eine präzise Spannungsreferenz, die geringfügige Schwankungen mit der Temperatur und der Betriebsspannung hat. Die in [95, 78] beschriebene *bandgap*-Spannungsreferenz wird für die Primärseite und BOT-Sekundärseite eingesetzt. Auf die Probleme der *bandgap*-Spannungsreferenz auf der TOP-Sekundärseite und die möglichen Lösungen wird im Folgenden eingegangen.

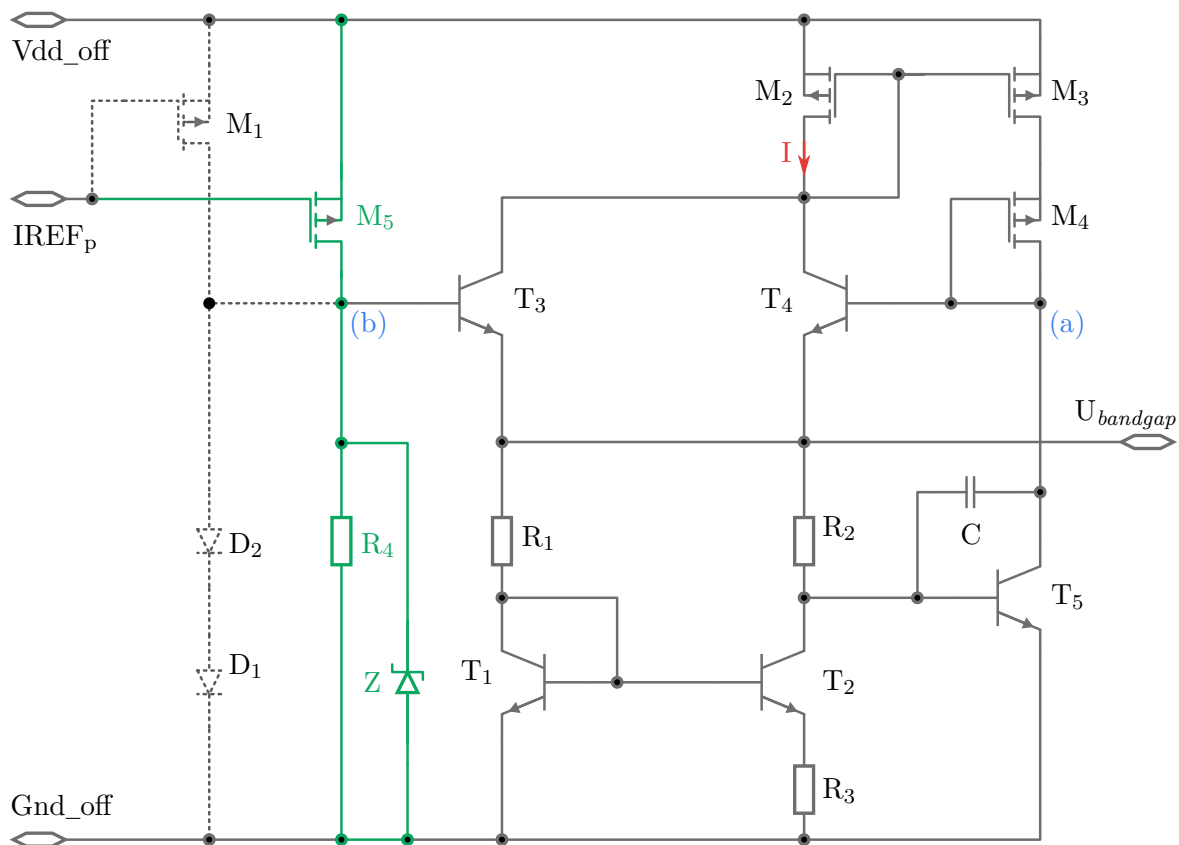
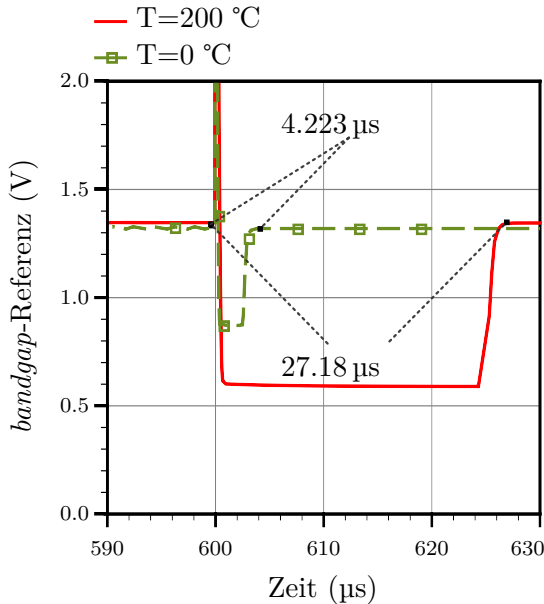


Abbildung 4.19: *bandgap*-Referenz mit modifizierter Widlar-Implementierung

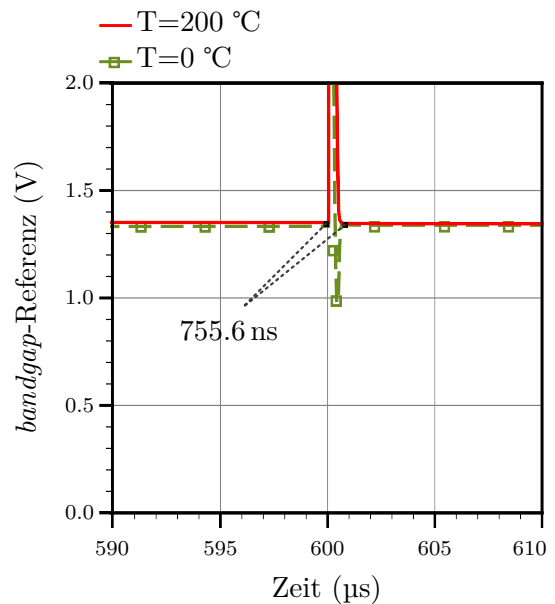
Abbildung 4.19 zeigt die für TOP-Sekundärseite vorgesehene *bandgap*-Referenz nach der *Widlar*- Implementierung⁵. Wegen des Einflusses der Offsetspannung des Trägerwafers wird die Regelschleife T₄ und T₅, die die Referenzspannung ($U_{bandgap}$) stabilisiert, unterbrochen. Die Neuausregelung der Referenz ist temperaturabhängig und kann bis zu mehreren μ s dauern (siehe Abbildung 4.20 a). Während der Neuausregelung der *bandgap*-Referenz steht den Überwachungsschaltungen keine korrekte Vergleichsspannung zur Verfügung. Dies ist insbesondere bei der Kurzschlussüberwachung

⁵Die Widlar-Implementierung ist z. B. in [96, 95, 78] zu finden.

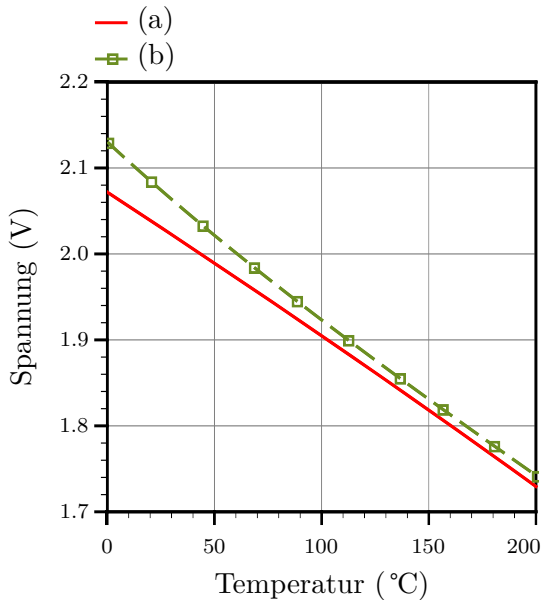
und der Gateabschaltspannungsüberwachung nicht akzeptabel, da die zulässigen Kurzschlusszeiten für Si-IGBTs und SiC-MOSFET nur $10\text{ }\mu\text{s}$ betragen. Auch in der Kaskode-Topologie ist die Kurzschlusszeit des externen PMOS-Transistors auf $10\text{ }\mu\text{s}$ begrenzt. [Für die SiC-JFET wurden deutlich größere, mögliche Kurzschlusszeiten gemessen.]



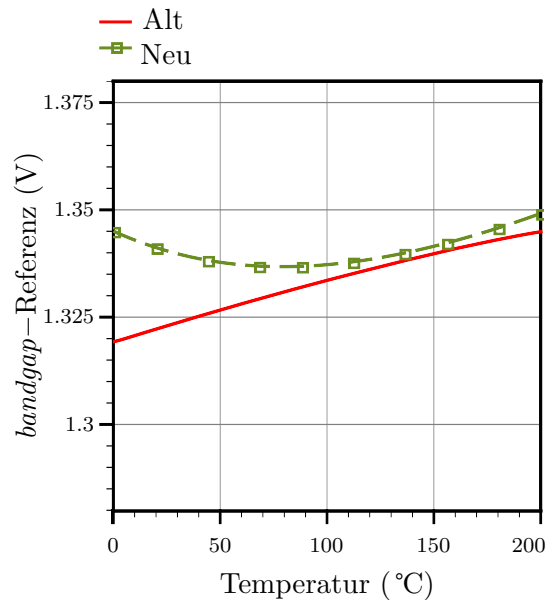
a.) Einbruch der Referenzspannung wegen des Einflusses transienter Offsetspannungen



b.) Verbesserte, nur sehr kurze Regelzeit nach der Modifizierung nach Abbildung 4.19



c.) Spannung in den Punkten (a) und (b)



d.) Referenzspannung Vergleich

Abbildung 4.20: Simuliertes Problem der *Widlar-bandgap*-Referenz auf der TOP-Sekundärseite und Vergleich alternativer Lösungen

Um die Regelzeit zu verkürzen, wird die *start-up*-Schaltung modifiziert. Dabei wird die alte *start-up*-Schaltung (gepunktete Bauelemente in Abb. 4.19) mit der neuen *start-up*-Schaltung (grün gezeichnete Bauelemente) ausgetauscht. Die Spannung im Punkt (b) wurde so wie im Punkt (a) eingestellt (siehe Abb. 4.20 c). Für die Konfiguration wurden drei Faktoren berücksichtigt:

- Temperatur: Die Spannung im Punkt (b) muss ebenso wie die Spannung im Punkt (a) einen negativen Temperaturkoeffizienten besitzen (siehe Abbildung 4.20 c). Dafür wurde der Widerstand R_4 aus Poly-Silizium realisiert, welcher einen negativen Temperaturkoeffizient besitzt.
- Offsetspannung (Potenzial des Trägerwafers): Durch die Realisierung des Widerstands R_4 im isolierten Poly-Silizium hat die Spannung im Punkt (b) eine geringe Abhängigkeit von der Offsetspannung.
- Versorgungsspannung: Durch den *bias*-Strom I_{REF_p} wird die Spannung im Punkt (b) relativ unabhängig hinsichtlich der Versorgungsspannung.

Damit fungiert der Transistor T_3 als alternativer Pfad für den Strom (I) (siehe Abbildung 4.19) bei der Unterbrechung der Regelschleife T_4 und T_5 . Es ist in Abb. 4.20 b zu sehen, dass die Neuausregelung der Referenzspannung mit der neuen Schaltung weniger als $1\ \mu\text{s}$ beträgt.

4.7 Versionen des Gatetreibers

Der in den letzten Abschnitten beschriebene Treiber umfasst die Hauptversion, die für alle *normally-on* Bauelemente in der Kaskode-Anordnung mit bis zu 20 V Ansteuerhub gültig ist. Für die *normally-on* Bauelemente (z. B. SiC-VJFET), die lediglich einen Ansteuerungshub kleiner als 14 V besitzen, wurden Vereinfachungen vorgenommen. Die vereinfachte Version kann wie folgt beschrieben werden:

Schaltplan: Die allgemeinen Beschreibungen und Funktionen der vereinfachten Version sind zu der Beschreibung des Schaltplans in der Abbildung 4.1 identisch.

Versorgungsspannung: Die Primärseite wird weiterhin mit (VDD, GND) versorgt. Für die BOT- bzw. TOP-Sekundärseite wird die Versorgungsspannung nicht erweitert, d. h. hinsichtlich der Abbildung 4.3 wird die gesamte Logik der Sekundärseite mit einer Gateeinschaltspannung V_{dd_off} und einer Gateabschaltspannung G_{nd_off} versorgt.

Primärseite: Die Primärseite der vereinfachten Version ist bezüglich der Schaltungsteile und des Layouts zu der Primärseite der Hauptversion identisch.

Sekundärseite: Hier gibt es zwei Modifikationen. Zum Ersten muss die Überwachung der Gateabschaltspannung auf die jeweilige Schwelle entsprechend der geänderten Versorgungsspannung angepasst werden. Zum Zweiten wird das Ansteuersignal in den Signalanpassungsblöcken in Abbildung 4.10 und 4.12 nicht erweitert. D. h. der Pfad (a) in den genannten Abbildungen wird eliminiert und die Logik für das gleiche Ansteuer-Szenario neu angepasst.

Durch den Abbau der verschiedenen Schaltungsteile und Pads wird die benötigte Chipfläche der vereinfachten Version geringer.

4.8 Gatetreiberkonzept für *normally-off* Bauelemente (IGBT, SiC-MOSFET, SiC-JFET)

Wie bereit im Abschnitt 4.6.2 erwähnt, wurde auf ein einzelnes, universelles Treiberdesign aufgrund der zusätzlich notwendigen Treiberfläche verzichtet. Allerdings kann das vorgestellte Treiberkonzept auch für die Ansteuerung von *normally-off* Bauelementen, wie z. B. Si-IGBT, SiC-MOSFET, *normally-off* SiC-JFET und ggf. auch SiC-BJT, mit notwendigen Anpassungen eingesetzt werden. Im Fall der *normally-off* SiC-JFET und SiC-BJT ist es nötig, eine externe Konfiguration am Treiber durchzuführen, da ein permanenter Gate bzw. Basis-Strom im eingeschalteten Zustand fließen muss. Demgegenüber können Si-IGBT und SiC-MOSFET mit dem Treiber direkt angesteuert werden.

Das vorgestellte Treiberkonzept ist insbesondere durch den großen Spannungshub von 23 V für die Ansteuerung von Si-IGBT und SiC-MOSFET vorteilhaft, wo insbesondere für höhere Ströme eine negative Spannung für das Ausschalten der Bauelemente verwendet wird, um das parasitäre Einschalten der Bauelemente zu vermeiden (siehe Abbildungen 6.4, 6.5 und 6.6). Andererseits ist ein Spannungshub von bis zu 23 V nötig, um den SiC-MOSFET optimal ansteuern zu können. Das Blockschaltbild in der Abbildung 4.1 gilt für den Treiber der Si-IGBT und SiC-MOSFET mit den folgenden Änderungen:

Primärseite: Auf der Primärseite wurde die RESET-Zelle eliminiert. Stattdessen wurde ein Ausgangsinterface zum Austausch der Fehlersignale zwischen den einzelnen Halbbrückentreibern z. B. in der Vollbrückentopologie eingesetzt. Dadurch werden alle Signalwege blockiert bzw. alle Leistungsbaulemente im System ausgeschaltet, wenn einer der Halbbrückentreiber einen Fehler meldet. Das neue Interface besitzt eine CMOS-Ausgangsstufe, die die Immunität gegenüber Störungen erhöht.

Sekundärseite: Auf der BOT- und TOP-Sekundärseite wurden die *clamp*-Einheiten und die Treiberendstufen für die Ansteuerung des externen PMOS-Transistors eliminiert. Außerdem wurden kleine Änderungen im Signalanpassungsblock vorgenommen, um den Anforderungen zur Ansteuerung von *normally-off* Bauelementen gerecht zu werden.

Für die Ansteuerung der Si-IGBT und SiC-MOSFET wurde ein eigenständiges IC-Design erstellt.

5 Aufbautechnik, IC-Layout

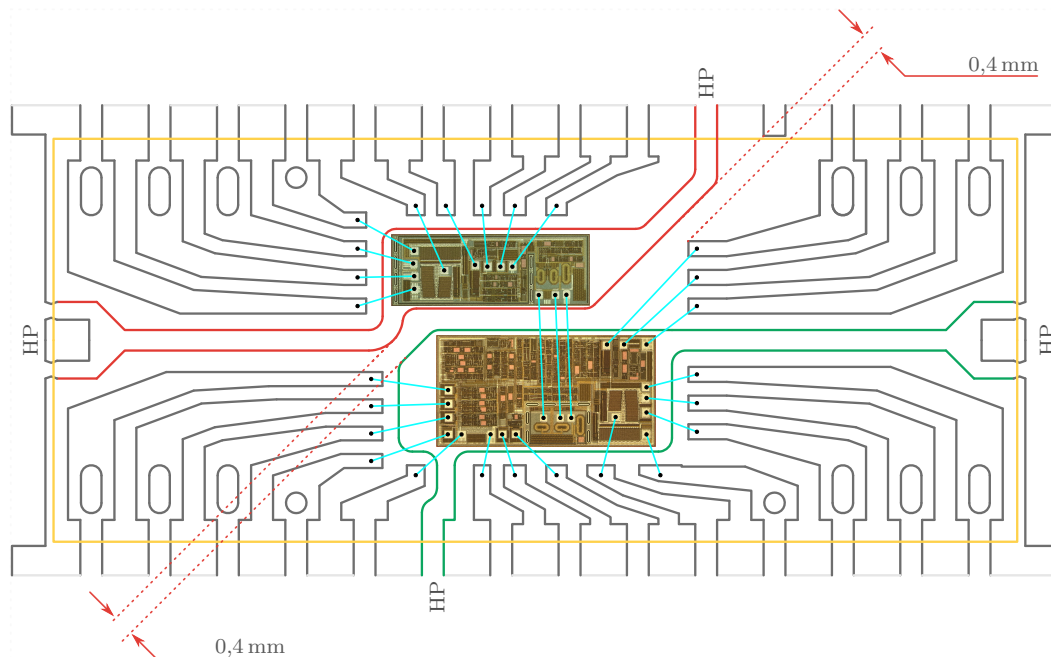
5.1 Aufbautechnik

Im Rahmen dieser Arbeit wurden insgesamt drei Treibervarianten entworfen. Die Erste ist für die Ansteuerung von *normally-on* SiC-LJFETs in Kaskode-Light-Konfiguration mit erweitertem Betriebsspannungsbereich geeignet. Die Zweite ist für die Ansteuerung von *normally-on* SiC-VJFETs in Kaskode-Light-Konfiguration mit geringerem Betriebsspannungsbereich vorgesehen. Die Dritte ist für die Ansteuerung von SiC-MOSFETs, Si-IGBTs sowie *normally-off* SiC-JFETs konzipiert.

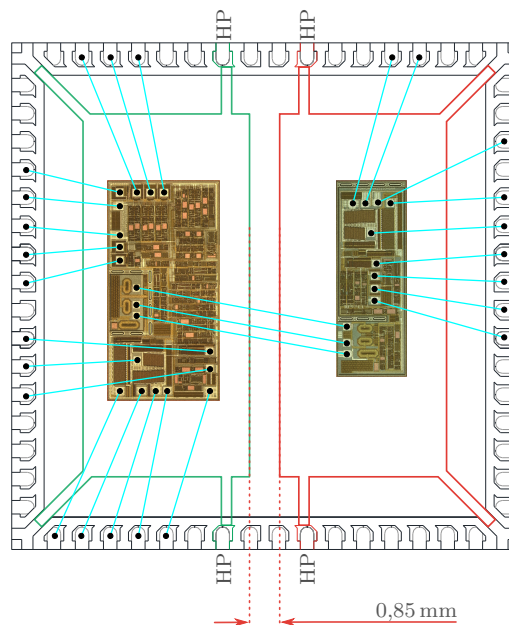
Die drei Varianten unterscheiden sich hinsichtlich des Layouts der Chips, der Anzahl der Pins sowie der Fläche der *low side* bzw. *high side*-ICs. Für Testzwecke wurden die Chips im modifizierten SOP28L-(Abb. 5.1 a) bzw. im QFN64-Gehäuse aufgebaut (Abb. 5.1 b). Die Chips sind im Gehäuse auf zwei voneinander isolierten Insel mit einem minimalen Abstand von 0,4 mm im SOP28L-Gehäuse und 0,85 mm im QFN64-Gehäuse platziert. Durch diesem Abstand wird die Hochspannungsisolation zwischen *high* und *low side*-ICs garantiert.

5.2 IC-Layout

Aufgrund des ähnlichen Layouts der drei Varianten wird hier nur das Layout des Treibers für den SiC-LJFET in Kaskode-Konfiguration und Halbbrückentopologie vorgestellt. Die entsprechenden Chipfotos sind in Abbildung 5.2 dargestellt. Die Chipfotos sind so angeordnet, dass sie den Aufbau im Gehäuse SOP28L mit einem Isolationsabstand von 0,4 mm entsprechen. Der *low side*-IC enthält die Primärseite des Halbbrückentreibers, die *medium voltage up/down*-Levelshifter zur BOT-Sekundärseite, die BOT-Sekundärseite mit den Treiberendstufen für den BOT-SiC-LJFET und den BOT-NV-PMOS-Transistor und die *low side*-Levelshifter (600 V) für den TOP-Schalter. Er



a.) *Multi-Chip-Gehäuse (SOP28L)* mit zwei voneinander isolierten Inseln; Isolationsabstand 0,4 mm; HP sind Haltepins zur Befestigung der Chipinseln



b.) *Multi-Chip-Gehäuse (QFN64)* mit zwei voneinander isolierten Inseln; Isolationsabstand 0,85 mm; HP sind Haltepins zur Befestigung der Chipinseln

Abbildung 5.1: 1200 V Halbbrücken-Treiber-ICs im Gehäuse

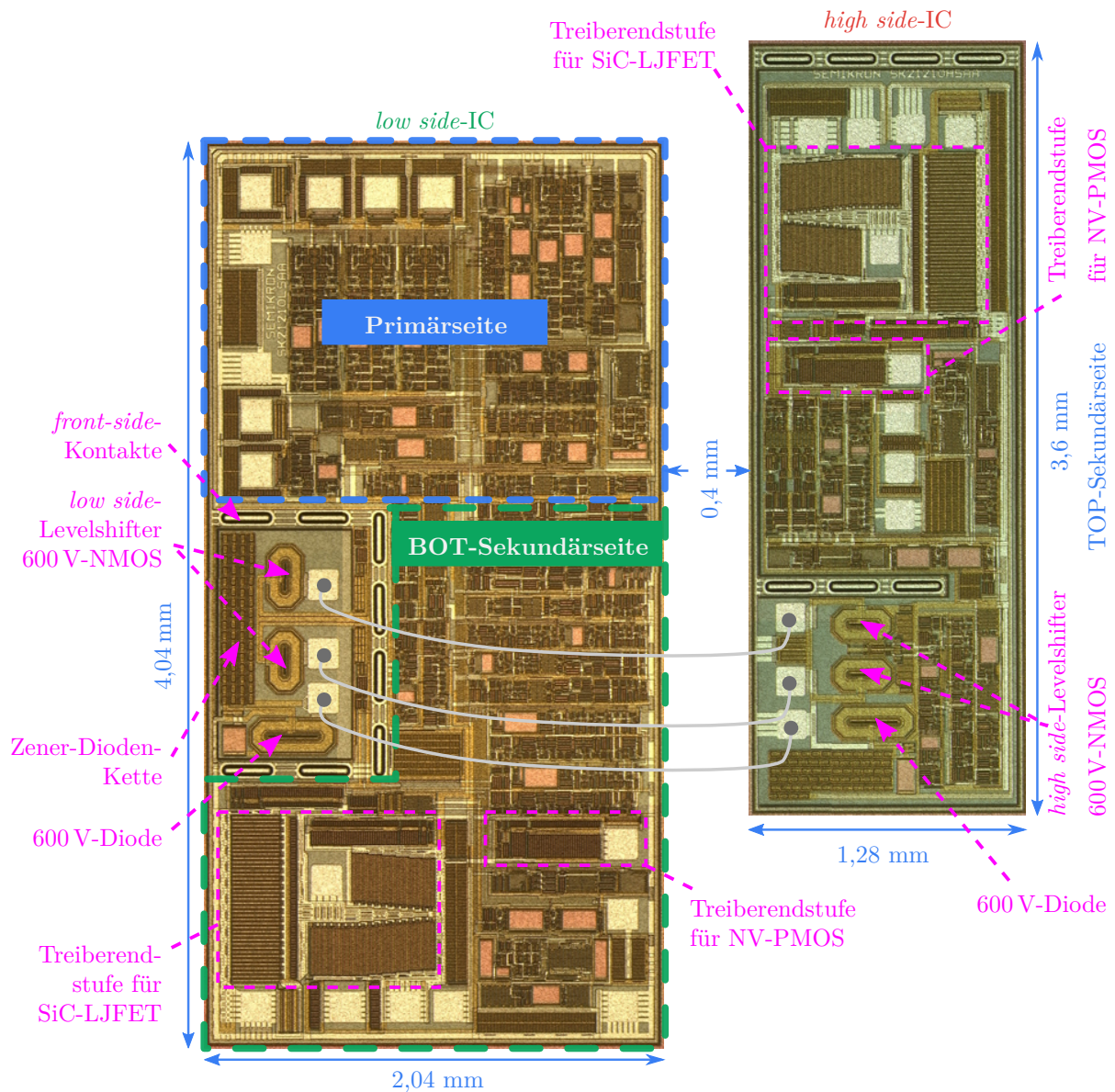


Abbildung 5.2: Chipfotos der Gatetreiber-ICs (Gehäuse SOP28L)

hat eine Fläche von $8,24 \text{ mm}^2$. Der *high side*-IC integriert die *high side*-Levelshifter (600 V), die TOP-Logik und die Treiberendstufen für den TOP-SiC-LJFET und den TOP-NV-PMOS-Transistor. Er besitzt eine Chipfläche von $4,6 \text{ mm}^2$.

Es ist in der Abbildung 5.2 deutlich zu sehen, dass die Treiberendstufe des SiC-JFET im *low side* und *high side*-ICs eine große Fläche einnimmt. Demgegenüber ist die Treiberendstufe des externen PMOS-Transistors relativ klein, da der externe PMOS-Transistor nicht schnell einschalten und ausschalten muss. Außerdem ist seine Treiberendstufe asymmetrisch entworfen, so dass der externe PMOS-Transistor beim Ausschalten (Feh-

lerfall) schneller ist als beim Einschalten (Normalbetrieb). Ebenfalls gut zu erkennen sind die Levelshifter-Transistoren und HV-Dioden mit einer Spannungsfestigkeit von 600 V, die zusammen mit den *clamping*-Dioden (Zener-Dioden-Kette) eine recht große Fläche einnehmen.

Die Bondpads der TOP-Sekundärseite werden etwas zur Mitte der Chips, möglichst weiter weg von den Chip-Rändern, angeordnet. Dies ist wichtig, um die Hochspannungsisolation zwischen den Bonddrähten und den nicht passivierten Chip-Rändern zu garantieren. Dies gilt auch für den unteren 600V-Levelshifter im *low side*-IC. Durch die *front side*-Kontakte wird der *handle wafer* mit dem niedrigsten Potential verbunden (Gnd_off auf *low side* und G_{HV2} auf *high side*). ESD-Schutzstrukturen sind um die Bondpads platziert.

6 Messungen und Diskussion

6.1 Niederspannungscharakterisierung

Die verschiedenen Gatetreiber wurden als erstes im Niederspannungsbereich getestet, um die Grundfunktionen des Treiber zu überprüfen. Darunter sind die Signalabläufe zwischen Ein- und Ausgängen, die Kurzpulsunterdrückung und Querverriegelung sowie die Stromaufnahme zu verstehen.

6.1.1 Messung von Signallaufzeiten und Querverriegelung

Einschalt- und Ausschaltverzögerungszeiten der BOT- bzw. TOP-Kanäle sind im Bereich I in Abb. 6.1 a für den SiC-LJFET-Treiber und in Abb. 6.1 b für die SiC-MOSFET- bzw. Si-IGBT-Treiber zu sehen. Die Treiber weisen hohe Signallaufzeiten von ca. 750 ns auf, die durch die zur Sicherheit eingestellte Kurzpulsunterdrückung von ca. 500 ns verursacht werden. Die erhöhte Störsicherheit wird auf Kosten der Geschwindigkeit in Kauf genommen. Die reine Durchlaufzeit liegt bei ca. 250 ns, was durch mehrere Übertragungen des Signals über die Levelshifter und die Rekonstruktion des Signals bedingt ist.

Eine mögliche Überlappung von Ansteuersignalen der beiden Schalter der Halbbrücke wird durch die Querverriegelung verhindert. Die Querverriegelung zwischen BOT- und TOP-Kanal ist im Bereich II in Abb. 6.1 a für den SiC-JFET-Treiber und in Abb. 6.1 b für die SiC-MOSFET- bzw. Si-IGBT-Treiber zu sehen. Eine minimale Zeitdifferenz (t_5) von ca. 500 ns ist für die Querverriegelung implementiert und verhindert damit das gleichzeitige Einschalten von BOT- und TOP-Schalter der Halbbrücke. (Querstrom bzw. Kurzschluss werden vermieden.)

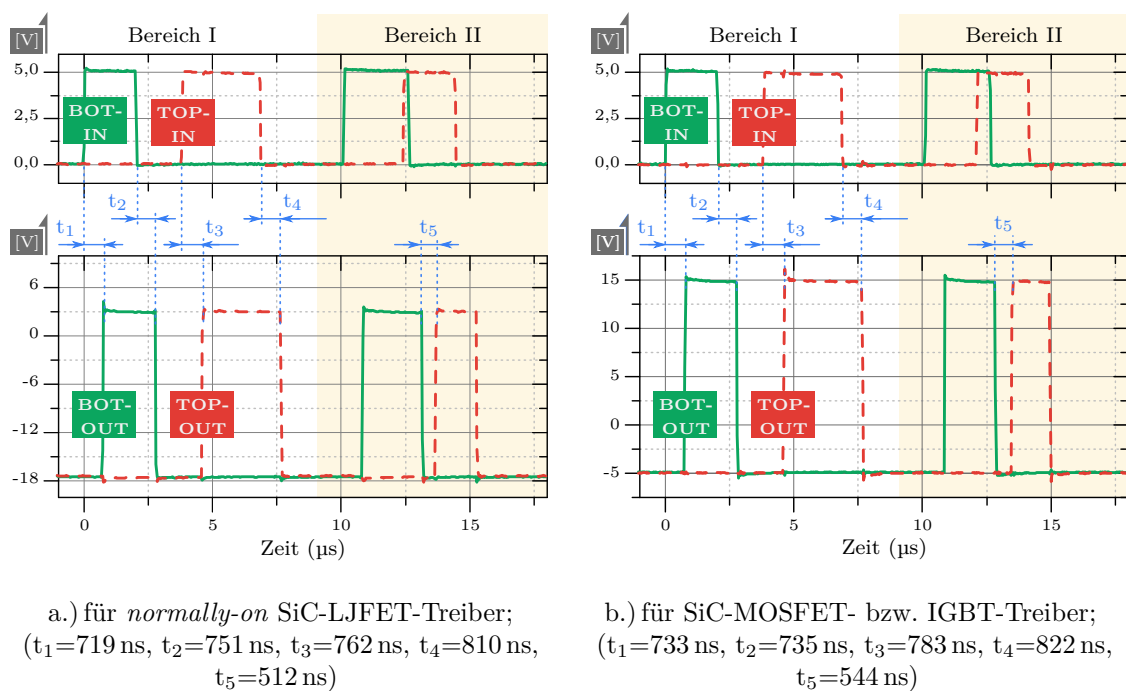


Abbildung 6.1: Signallaufzeit und Querverrieglung

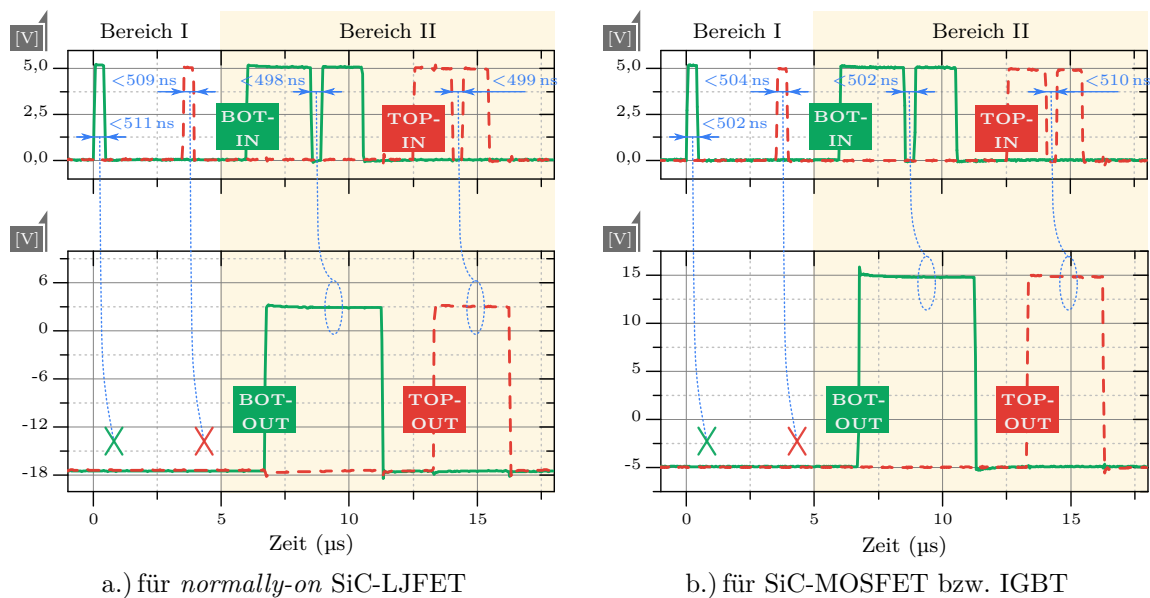


Abbildung 6.2: Unterdrückung ungültiger Kurzimpulse

6.1.2 Messung der Kurzimpulsunterdrückung

Jeder Puls bzw. jede Pause, die kleiner als 500 ns ist, wird aus Sicherheitsgründen als ungültiges Muster interpretiert und demzufolge unterdrückt. Diese Zeit wurde ge-

wählt, um eine sichere und korrekte Übertragung durch die HV-Levelshifter zu garantieren. Abbildung 6.2 zeigt die gemessene Filterung ungültiger Muster für den SiC-JFET-Treiber (Abb.6.2 a) und den SiC-MOSFET-Treiber (Abb.6.2 b). Die Kurzpulsunterdrückung ist im Bereich I der jeweiligen Abbildung gezeigt, während die Kurzpausenunterdrückung im Bereich II gezeigt ist. Die Streuung in der Puls- bzw. Pausenbreite ist auf die Differenzen der *bias*-Ströme der *bias*-Zelle zurückzuführen.

6.1.3 Messung der Gateabschaltspannungs- bzw. Betriebsspannungsüberwachung

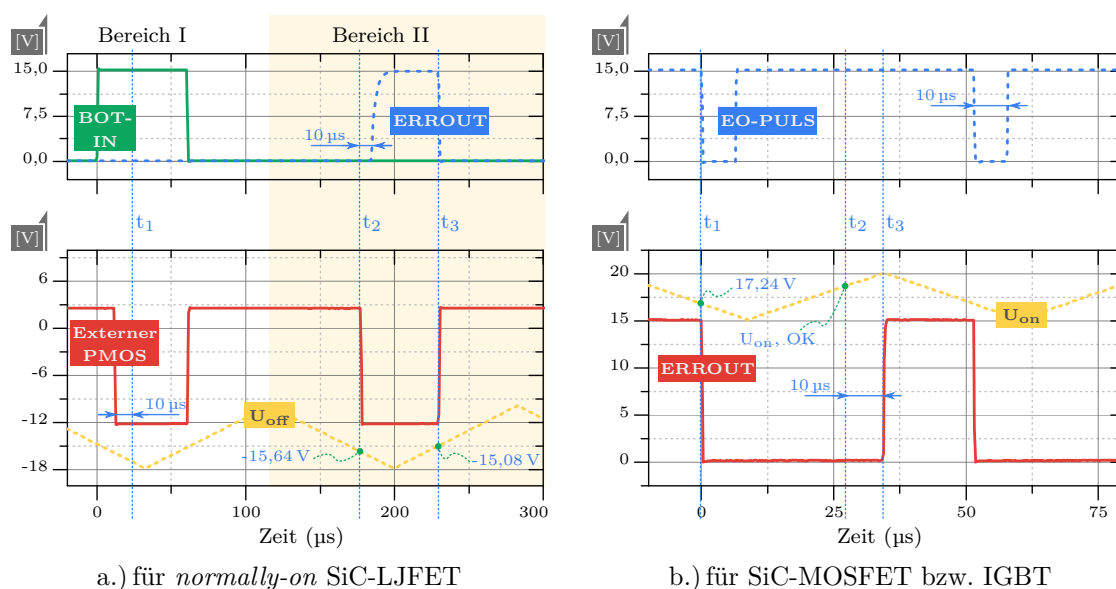


Abbildung 6.3: Messung von Gateabschaltspannung bzw. Betriebsspannungsüberwachung

Die Überwachung der Gateabschaltspannung von *normally-on* SiC-JFET bzw. der Gateeinschaltspannung der SiC-MOSFET ist sehr wichtig. Während die korrekte Gateabschaltspannung des SiC-JFET einen Querstrom in der Halbbrücke verhindert, garantiert die richtige Gateeinschaltspannung bei SiC-MOSFET einen niedrigen $R_{DS,on}$. Die Abbildung 6.3 zeigt die Überwachungsfunktionen im SiC-LJFET- bzw. SiC-MOSFET-Treiber. Für die Messung wird die Gateabschaltspannung bzw. die Betriebsspannung in Form von Dreieckssignalen angelegt. In Abb. 6.3a ist die Überwachung der Gateabschaltspannung des *normally-on* SiC-LJFET dargestellt. Ist $|U_{off}| < 15$ V (z. B. in t_3 in der Abbildung), dann wird ein Ausschaltsignal des NV-PMOS-Transistor der Kaskode-Light generiert. In Folge wird der SiC-LJFET auch abgeschaltet (siehe dazu

Abschnitt 6.4). Gleichzeitig wird ein Fehler zur Primärseite gemeldet und am Ausgang ERRROUT (*low*-aktiv) angezeigt. Dieses Fehlersignal wird bei $|U_{\text{off}}| > 15,5 \text{ V}$ erst nach $10 \mu\text{s}$ zurückgesetzt (t_2 in der Abb. 6.3 a, oben). Dies passiert nur, wenn keine gültigen Einschaltssignale an den Eingängen vorliegen. (siehe Bereich I in der Abbildung. Dort wird das Fehlersignal bei t_1 nicht zurückgesetzt, da ein Einschaltssignal am Eingang BOT-IN vorhanden ist.)

In Abb. 6.3 b ist die Überwachung der Einschaltspannung des SiC-MOSFET dargestellt. Beim Unterschreiten der Schwelle von ca. 17 V wird ein Fehler (*low* aktiv) gesetzt. Das Rücksetzen des Fehlers passiert auch hier $10 \mu\text{s}$ nach Überschreiten der Schwelle. Hier wird ein Fehlerpuls mit einer Breite von $10 \mu\text{s}$ für die Kommunikation zwischen Treibern mehrerer Halbbrücken gemeldet.

6.1.4 Messung der Stromaufnahme

Tabelle 6.1 zeigt die Stromaufnahme der Treiberschaltungen für SiC-LJFET- und SiC-MOSFET-Treiber. Die Messung wurde im Ruhezustand durchgeführt (unbelastete Ein- bzw. Ausgänge), d. h. der Verbrauch wird hier nur durch die interne Schaltung verursacht.

Es ist aus der Tabelle zu sehen, dass der Großteil des Stromverbrauchs auf der Primärseite durch diverse Zellen und Funktionen verursacht wird. Die Zellen wie z. B. Eingangsinterface mit ihren *pull up*- und *pull down*-Widerständen, *bias*-, *bandgap*- und *reset*-Zellen bestimmen den Stromverbrauch der Primärseite. Auf der Sekundärseite ist der Stromverbrauch der Schaltungsteile, die durch Vdd_on und Gnd_on versorgt werden, relativ niedrig, da keine Verarbeitungsfunktionen der Signale in diesen Schaltungen vorgenommen werden. Demgegenüber verbrauchen die Schaltungsteile,

	Messung zwischen	Stromaufnahme	
		SiC-LJFET-Treiber	SiC-MOSFET-Treiber
Primärseite	VDD, GND	2,49 mA	2,42 mA
BOT-Sekundärseite	Vdd_on, Gnd_on	105 μA	123 μA
	Vdd_off, Gnd_off	933 μA	1,05 mA
TOP-Sekundärseite	Vdd_on, Gnd_on	105 μA	123 μA
	Vdd_off, Gnd_off	553 μA	637 μA
Summe		4,19 mA	4,35 mA

Tabelle 6.1: Stromaufnahme der Treiberschaltungen für SiC-LJFET- und SiC-MOSFET-Treiber

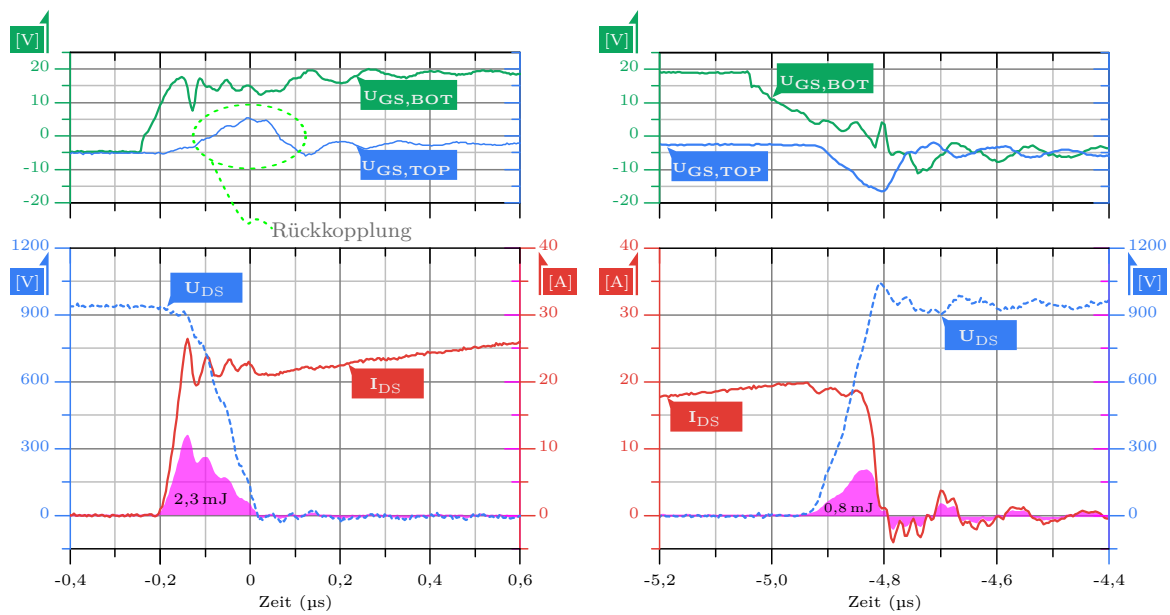
die durch V_{dd_off} und Gnd_off versorgt werden, mehr Strom. Hier gelten Zellen wie *bias*-, *bandgap*- und *start-up*-Zellen als Hauptverbraucher. Die BOT-Sekundärseite verbraucht mehr Strom als die TOP-Sekundärseite, da dort mehr Funktionen wie z. B. die Fehlerrückmeldung auf die Primärseite integriert wurden. Insgesamt entsprechen die gemessene Ströme den simulierten Erwartungswerten.

6.2 Messungen unter Hochspannungsbedingungen

Die entwickelten Gatetreiber wurden unter Hochspannungsbedingungen verifiziert. Dabei wurde die Funktionsweise, Störsicherheit und die Isolationsfestigkeit der Treiber bei der Ansteuerung der Bauelemente im normalen und kritischen Betrieb ($2 \times I_{nom}$) sowie im Fehlerfall getestet. Beim Test kamen SiC-MOSFET, SiC-LJFET und Si-IGBTs zum Einsatz. Die SiC-Leistungsbaulemente sind in einer Halbbrückentopologie ohne extra Freilaufdiode aufgebaut, d. h. für den Freilaufvorgang wurde die interne Freilaufdiode der Bauelemente eingesetzt. Die IGBTs haben eine externe antiparallele Freilaufdiode.

6.2.1 Messungen des Schaltverhaltens bei $I_{nom}=20\text{ A}$

SiC-MOSFET: Abbildung 6.4 zeigt das Schaltverhalten des SiC-MOSFET mit dem entwickelten Gatetreiber-IC bei $U_{ZK}=950\text{ V}$, $I_{DS}=20\text{ A}$. Der BOT-Schalter wird mit einer Gate-Spannung von $U_{GS}=-5\text{ V} \dots 18\text{ V}$ angesteuert. Der TOP-Schalter ist mit -5 V ausgeschaltet. Aufgrund des schnellen Einschaltens des BOT-Schalters ändert sich das Source-Potential des TOP-Schalters sehr schnell. Dadurch lässt sich eine starke Rückkopplung auf das Gate des TOP-Schalters (siehe Abbildung 6.4 a) messen. Die Gate-Spannung steigt kurzzeitig bis auf ca. 5 V an. Aufgrund der negativen Gate-Source-Spannung lässt sich das parasitäre Einschalten des TOP-Schalters allerdings vermeiden. Bei noch höherem $du/dt > 13\text{ kV}/\mu\text{s}$ ist die Rückkopplung noch stärker und es ist ein parasitäres Einschalten bei der Messung zu beobachten. In dem Fall wäre es notwendig mit noch höheren negativen Spannungen $< -5\text{ V}$ abzuschalten. Dies wird allerdings durch das Bauelement selbst wegen $U_{GS,max}=-5\text{ V}$ beschränkt. Weiterhin ist der maximale Wert der Sperrspannung des MV-PMOS-Transistors in der Endstufe des TOP-Kanals (siehe Abschnitt 4.2) auf ca. 20 V begrenzt.



a.) Einschalten: $R_G=15\ \Omega$, $E_{on}=2,3\text{ mJ}$,
 $t_{on}=248\text{ ns}$, $di/dt=550\text{ A}/\mu\text{s}$, $I_{DS,max}=26,4\text{ A}$

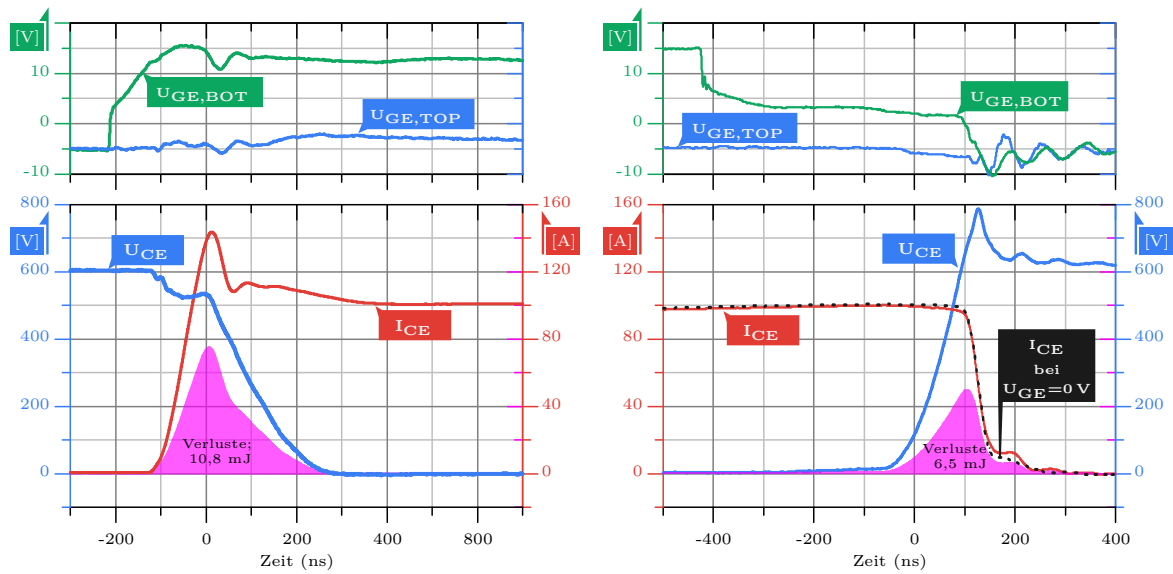
b.) Ausschalten: $R_G=15\ \Omega$, $E_{off}=0,8\text{ mJ}$,
 $t_{off}=212\text{ ns}$, $du/dt=12\text{ kV}/\mu\text{s}$, $U_{DS,max}=1,05\text{ kV}$

Abbildung 6.4: Schaltverhalten des SiC-MOSFET bei $U_{ZK}=950\text{ V}$ und $I_{DS}=20\text{ A}$

Si-IGBT: Durch das Abschalten mit negativer Spannung lässt sich der entwickelte Treiber-IC effektiv auch zum Ansteuern von IGBT in Halbbrückentopologie einsetzen. Abbildung 6.5 zeigt als Beispiel das Schaltverhalten des IGBT-BOT-Schalter in Halbbrücken-Topologie bei $U_{ZK}=600\text{ V}$, $I_{CE}=100\text{ A}$. Der BOT-Schalter wird mit einer Gate-Spannung von $U_{GE}=-5\text{ V}...15\text{ V}$ angesteuert. Der TOP-Schalter ist mit -5 V ausgeschaltet. Die $U_{GE,TOP}$ wird beim Schalten nicht über 0 V angehoben. Es ist beim BOT-Ausschalten in Abb. 6.5 b zu sehen, dass der Abbau der Speicherladung (Tailstrom) durch das Ausschalten mit negativer Spannung keine wesentliche Änderung bringt. Dafür sind noch höhere negative Gateabschaltspannungen notwendig. Allerdings lässt sich durch die negative Gateabschaltspannung eine kleinere Ausschaltverzögerungszeit $t_{d,off}$ (hier nicht gezeigt) messen, da die Gateladekurve schneller durchlaufen wird. (ein höherer Peakstrom steht zur Verfügung)

Demgegenüber lässt sich ein parasitäres Einschalten des TOP-IGBT beobachten, wenn mit $U_{GE}=0\text{ V}...15\text{ V}$ gearbeitet wird, und der BOT-IGBT geschaltet wird (siehe Abbildung 6.6). Die Gate-Source-Spannung des TOP-Schalters wird durch die Rückkopplung über die Millerkapazität von $U_{GE}=0\text{ V}$ auf ca. 9 V hochgezogen (siehe Abb. 6.6 a obere Abb.), so dass quasi ein parasitäres Einschalten stattfindet. Im Gegensatz dazu wird bei $U_{GE}=-5\text{ V}$ am TOP-IGBT (siehe Abb. 6.5 a obere Abb.) die Gate-Source-Spannung

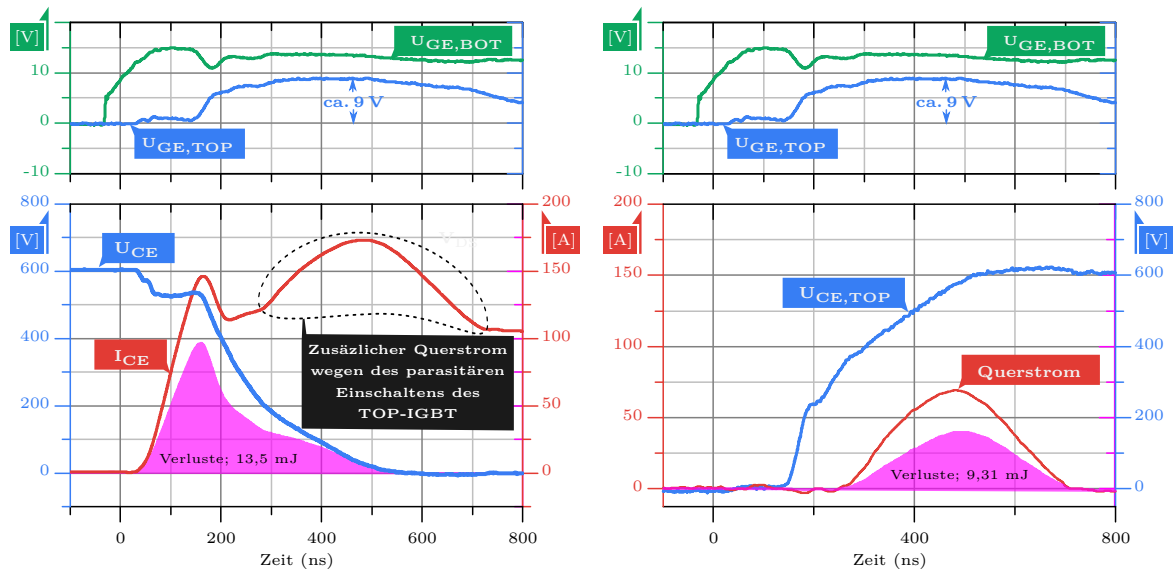
6.2 Messungen unter Hochspannungsbedingungen



a.) BOT-Einschalten: $V_{GE} = -5 \text{ V} \dots +15 \text{ V}$,
 $U_{ZK} = 600 \text{ V}$, $I_C = 100 \text{ A}$, $R_G = 10 \Omega$, $t_{on} = 415 \text{ ns}$,
 $I_{C,max} = 143 \text{ A}$, $T_j = 25^\circ \text{C}$, $E_{on,BOT} = 10,8 \text{ mJ}$

b.) BOT-Ausschalten: $V_{GE} = -5 \text{ V} \dots +15 \text{ V}$,
 $U_{ZK} = 600 \text{ V}$, $I_C = 100 \text{ A}$, $R_G = 10 \Omega$, $t_{off} = 627 \text{ ns}$,
 $U_{CE,max} = 782 \text{ V}$, $T_j = 25^\circ \text{C}$, $E_{off,BOT} = 6,5 \text{ mJ}$

Abbildung 6.5: Schaltverhalten des Si-IGBT bei $U_{ZK} = 600 \text{ V}$ und $I_{CE} = 100 \text{ A}$; Ausschalten mit $U_{GE} = 0 \text{ V}$ (rot) und $U_{GE} = -5 \text{ V}$ (schwarz gepunktete Kurve); der Einfluss der U_{GE} -Abschaltspannung auf die Verluste ist gering;



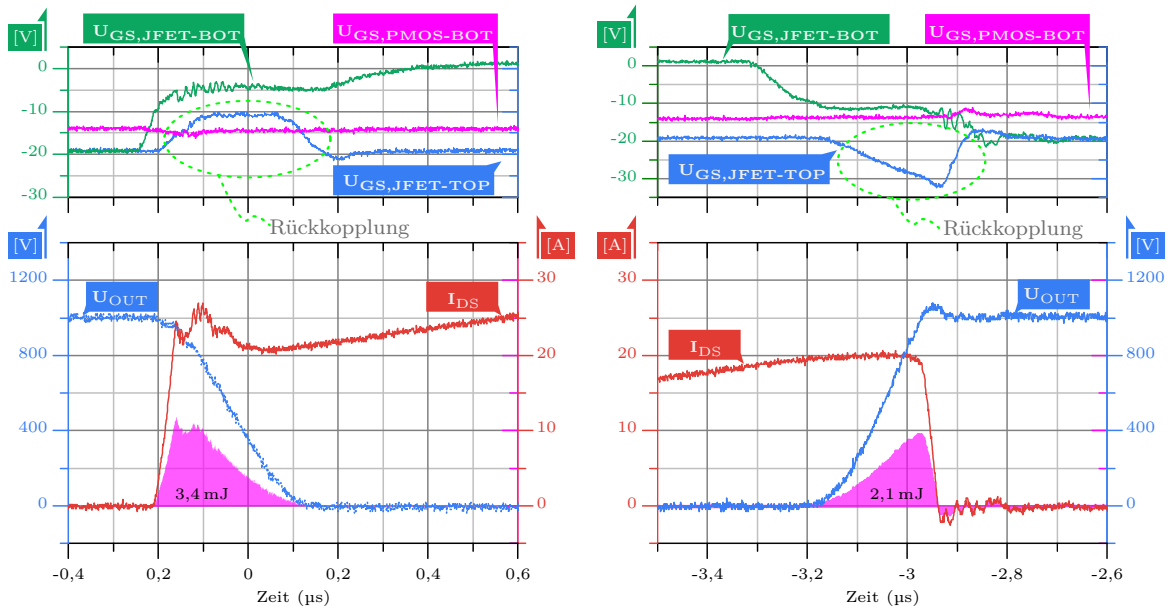
a.) BOT-Einschalten: $V_{GE} = 0 \text{ V} \dots +15 \text{ V}$,
 $U_{ZK} = 600 \text{ V}$, $I_C = 100 \text{ A}$, $R_G = 10 \Omega$, $T_j = 25^\circ \text{C}$,
 $E_{on,BOT} = 13,46 \text{ mJ}$; es ist ein parasitäre
Einschalten des TOP-Schalters zu beobachten

b.) Querstrom im TOP-Schalter mit zusätzlichen
Verlusten beim Einschalten des BOT-Schalters;
 $U_{ZK} = 600 \text{ V}$, $I_C = 100 \text{ A}$, $R_G = 10 \Omega$, $T_j = 25^\circ \text{C}$
 $E_{on,TOP} = 9,31 \text{ mJ}$

Abbildung 6.6: Einschalten des BOT-IGBT mit parasitärem Einschalten des TOP-IGBT; es fließt ein zusätzlicher Querstrom in der Halbbrücke;

nur um ca. 3 V auf -2 V angehoben. Die unterschiedliche Anhebung der Gate-Spannung für $U_{GE}=0$ V bzw. $U_{GE}=-5$ V resultiert aus der Spannungsabhängigkeit der Gate-Ladung [97]. Das parasitäre Einschalten des TOP-Schalters verursacht einen Querstrom (siehe Abb.6.6 b). Dies erhöht die Einschaltverluste des BOT-IGBT von 10,8 mJ auf 13,47 mJ und verursacht außerdem zusätzliche Verluste im TOP-IGBT von 9,3 mJ. Insgesamt steigen die Gesamtverluste beim Schalten mit $U_{GE}=-5$ V von 17,3 mJ auf 29,27 mJ beim Schalten mit $U_{GE}=0$ V an. Damit zeigen sich eindeutig niedrigere Schaltverluste wenn bei höheren Strömen und Spannungen mit einem integrierten Gatetreiber gearbeitet werden kann, der über die Möglichkeit negativer Gateabschaltspannung zum Ausschalten verfügt.

SiC-LJFET: Abbildung 6.7 zeigt die Ein- und Ausschaltvorgänge des SiC-LJFET mit dem entsprechenden Gatetreiber-IC. Das dafür nötige Ansteuersignal LIN wird im Treiber mit der richtigen Ein- und Ausschaltspannung $U_{GS,jfet}=-18$ V ... $+2$ V vorgegeben. Der PMOS-Transistor wird durch $U_{GS,pmos}=-10$ V permanent eingeschaltet. Dadurch verursacht er keine Schaltverluste, ist aber mit ca. 60 mV an den statischen Verlusten beteiligt.



a.) Einschalten: $R_G=43 \Omega$, $E_{on}=3,4$ mJ, $t_{on}=308$ ns, $di/dt=650$ A/ μ s, $I_{DS,max}=24,6$ A

b.) Ausschalten: $R_G=43 \Omega$, $E_{off}=2,1$ mJ, $t_{off}=306$ ns, $du/dt=13$ kV/ μ s, $U_{DS,max}=1,08$ kV

Abbildung 6.7: Schaltmessungen der Kaskode-Light-Anordnung:

$U_{ZK}=1000$ V, $I_{DS}=20$ A; Bemerkung: $U_{OUT}=U_{DS,jfet} + U_{DS,pmos}$

Auch hier ist eine Rückkopplung auf das Gate des TOP-Schalters in Abb. 6.7 a (obere Abb.) zu sehen. Die Rückkopplung ist stark und verursacht ein parasitäres Einschalten des TOP-Schalters. Grund dafür ist zum einen das enge Ansteuerfenster zwischen der Schwellenspannung von -14 V und der Gateabschaltspannung von -18 V , zum anderen ist die parasitäre Induktivität in der Kaskode-Schaltung größer (siehe Abschnitt 2.5.4). Dazu kommt der relativ kleine Wert der Gate-Source-Ladung von 16 nC im Vergleich zum Wert der Gate-Drain-Ladung von 32 nC . Beim Ausschalten sieht man die Rückkopplung auch auf dem Gate des TOP-Schalters in Abb. 6.7 b oben (ca. -33 V). Diese kann einen kurzzeitigen Durchbruch des Gate-Source-PN-Übergangs des SiC-LJFET hervorrufen. Allerdings wird dadurch der Ausschaltvorgang nicht wesentlich beeinflusst.

6.2.2 Umrichterbetrieb

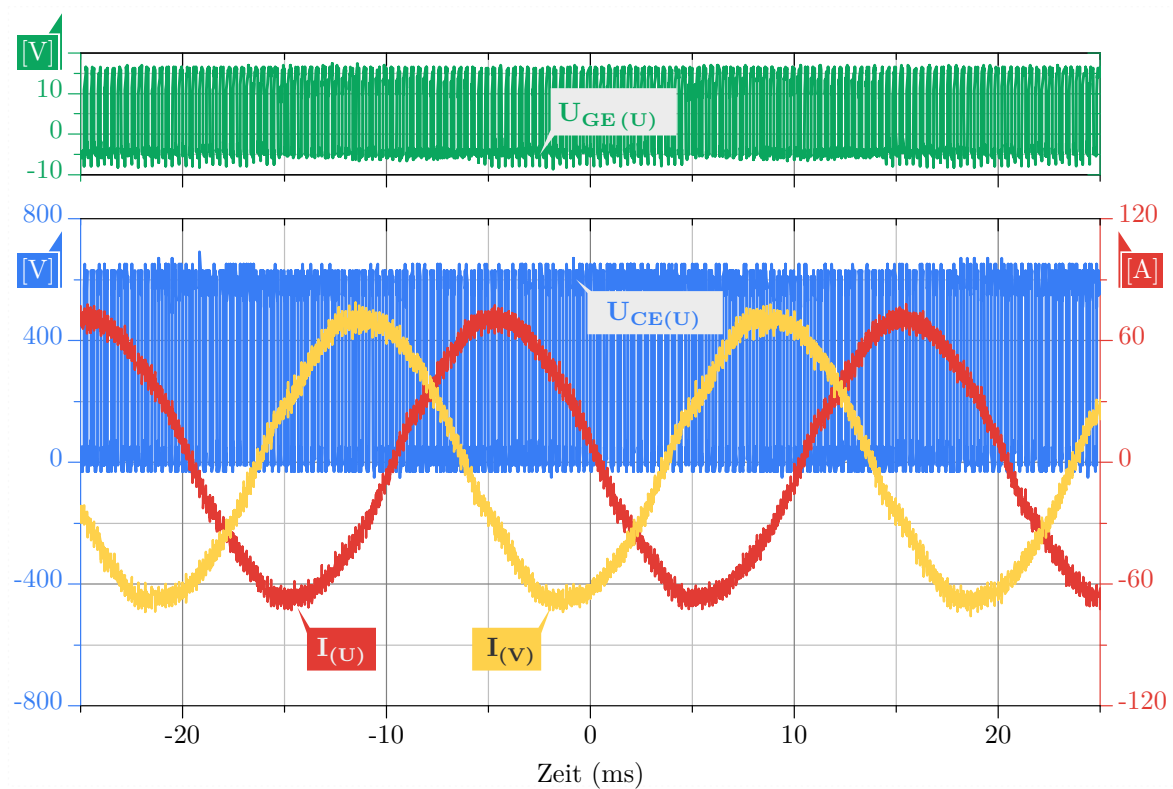


Abbildung 6.8: SiC-MOSFET-Treiber im Umrichterbetrieb: $U_{ZK}=600\text{ V}$, $I_{AMP}=75\text{ A}$, $I_{RMS}=53\text{ A}$, $U_{GE}=-5\text{ V} \dots +15\text{ V}$, $f_{SW}=3\text{ kHz}$, $f_{OUT}=50\text{ Hz}$, $\varphi(I_U, I_V)=120^\circ$

Abbildung 6.8 zeigt die Messergebnisse des entwickelten Gatetreibers im Umrichterbetrieb. Die Messungen wurden mit der Treibervariante, die für die Ansteuerung von SiC-MOSFET bzw. Si-IGBT vorgesehen ist, durchgeführt. Das 1200V/75A Sixpack-Modul

(SKiiP37AC12T4V1 von Semikron [98]) wurde durch den Treiber mit einer Frequenz von 3 kHz und Gate-Signalen von $U_{GE} = -5\text{ V} \dots +15\text{ V}$ angesteuert. Die Versorgungsspannungen der Sekundärseite wurden durch einen dc/dc-Wandler und Zener-Dioden (siehe Abbildung 4.3) zur Verfügung gestellt. Die Ausgänge des Moduls U, V, und W wurden an Lastdrosseln (sternförmig) angeschlossen.

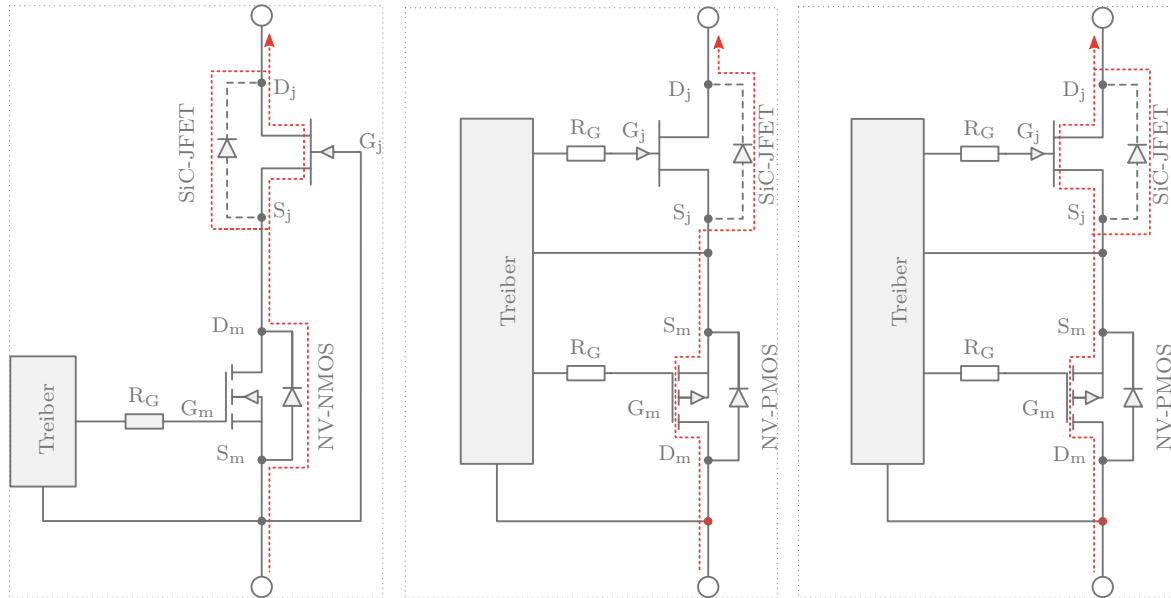
Bei einer Zwischenkreisspannung von $U_{ZK} = 600\text{ V}$ wurden durch die PWM-Signale (Schaltfrequenz 3 kHz) sinusförmige Ausgangsströme mit einer Phasenverschiebung von 120° zueinander erzeugt. Die Ausgangsströme haben eine Amplitude von $I_{AMP} = 75\text{ A}$ (Effektivwert $I_{RMS} = 53\text{ A}$) mit einer Periode von 20 ms (50 Hz). Es ist in der Abbildung an den stabilen sinusförmigen Ausgangsströmen zu sehen, dass der entwickelte Treiber in der Lage ist, die PWM-Signale in gültige Ansteuersignale für die Halbbrücken umzuwandeln.

6.3 Verbesserung des Freilaufvorgangs in Kaskode-Schaltung

Durch den Einsatz des entwickelten Gatetreibers kann der Freilaufvorgang in Bezug auf die Verluste in der Kaskode-Schaltung verbessert werden. Außerdem kann auf eine zusätzliche Freilaufdiode verzichtet werden, was sich in reduzierten Kosten und Flächenbedarf im Modul widerspiegelt. Zur Erklärung werden die möglichen rot gezeichneten Freilaufpfade in der Kaskode-Schaltung in Abbildung 6.9 betrachtet. In Abb. 6.9 a wird der Freilaufvorgang in der Standard-Kaskode zum Vergleich gezeigt. Der Freilaufstrom fließt über die Body-Diode des NV-NMOS-Transistors und weiter über die Body-Diode des SiC-JFET. Die in Durchlassrichtung gepolte Body-Diode des NV-NMOS-Transistors schaltet den SiC-JFET automatisch ein (siehe Abb. 6.10 a). Infolge dessen kommutiert der Freilaufstrom auch über den Kanal des SiC-JFETs, was zu niedrigen Flussspannungen über dem Transistor bzw. niedrigen Freilaufverlusten führt. Die entsprechenden gemessenen Strom- und Spannungsverläufe dieser Variante sind in der Abb. 6.10 a dargestellt. Es ist deutlich zu sehen, dass die Rückstromspitze am Ende des Freilaufvorgangs sehr hoch ist. Der Grund dafür ist die Beteiligung der Body-Diode des NV-NMOS-Transistors am Freilaufvorgang. Es ist zu beachten, dass der Freilaufvorgang mit dem Einschalten des TOP-Schalters automatisch messtechnisch beendet

6.3 Verbesserung des Freilaufvorgangs in Kaskode-Schaltung

wird (Bereich I in Abb. 6.10 a). Zu diesem Zeitpunkt würde der NV-NMOS-Transistor mit der Zwischenkreisspannung beaufschlagt, was zur Beschädigung des Bauelements führen würde.

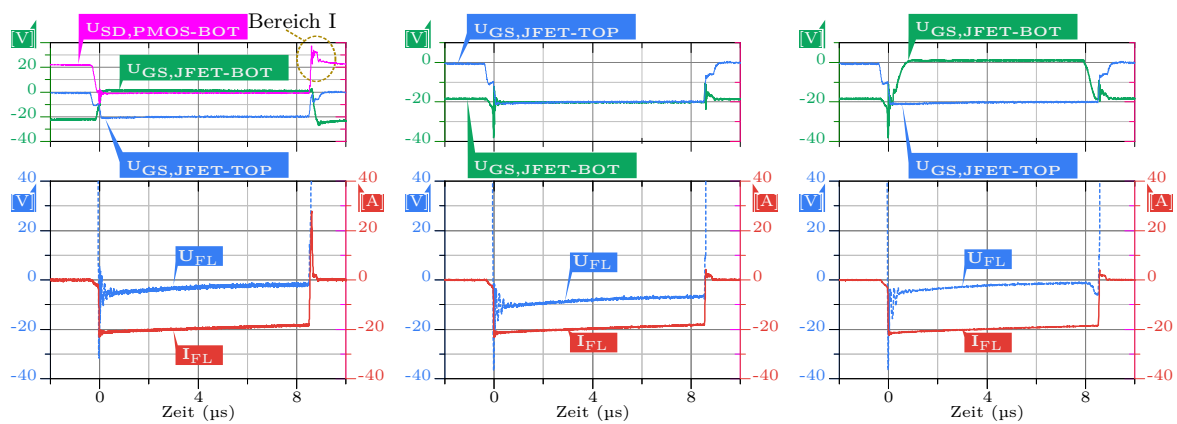


a.) Freilaufpfad in Standard-Kaskode: NV-NMOS-Transistor ist durch den Treiber ausgeschaltet und SiC-JFET ist indirekt eingeschaltet.

b.) Freilaufpfad in Kaskode-Light: NV-PMOS ist durch den Treiber eingeschaltet und SiC-JFET ist durch den Treiber ausgeschaltet.

c.) Freilaufpfad in Kaskode-Light: NV-PMOS und SiC-JFET sind durch den Treiber eingeschaltet.

Abbildung 6.9: Mögliche Freilaufpfade in Kaskode-Schaltungen



a.) Freilauf in der Standard-Kaskode: Niedrige Flussspannung und hohe Rückstromspitze

b.) Freilauf in Kaskode-Light: hohe Flussspannung und niedrige Rückstromspitze

c.) Freilauf in Kaskode-Light: niedrige Flussspannung und Rückstromspitze

Abbildung 6.10: Messungen des Freilaufverhaltens in Kaskode-Schaltungen

Die durch das Umladen der Sperrschicht der Body-Diode des NV-NMOS-Transistors verursachte Stromspitze und die daraus resultierenden Verluste können mit dem entwickelten Gatetreiber vermieden werden. Dafür wird der NV-PMOS-Transistor im Normalbetrieb permanent eingeschaltet. Dies garantiert, dass der Freilaufstrom nicht über die Body-Diode des NV-Transistors fließt, sondern über seinen Kanal. Infolgedessen wird beim Schaltvorgang die Sperrschicht der Body-Diode nicht umgeladen. Der Freilaufstrom kann hier entweder über die Body-Diode des SiC-LJFET (siehe Variante b in Abb. 6.9 b und Abb. 6.10 b) oder über den Kanal des SiC-JFET (siehe Variante c in Abb. 6.9 c und Abb. 6.10 c) weiterfließen. Bei der Variante des Stromflusses über die Body-Diode (Variante b) liegt eine hohe Flussspannung aufgrund der Charakteristik des SiC-LJFET (siehe Abbildung 2.9) vor. Dies kann durch die Variante in Abb. 6.9 c verbessert werden. Dafür muss der SiC-LJFET durch den entwickelten Treiber aktiv eingeschaltet werden. Der Freilaufstrom fließt in diesem Fall über den Kanal des SiC-LJFET, was zum Absenken der Flussspannung bzw. der Verluste führt.

Abb. 6.10 b und Abb. 6.10 c zeigen die Spannungs- und Stromverläufe für Variante b und c. Es ist zu sehen, dass die beiden Varianten eine sehr niedrige Rückstromspitze im Vergleich zu Variante a haben. Die Variante c hat die niedrigste Flussspannung über dem gesamten Schalter (der Kanal wird mit +2 V eingeschaltet).

6.4 Fehlerszenario bei der Kaskode-Light

Wie bereits in Abschnitt 4.6.3 erklärt wurde, ist der Verlust der Versorgungsspannung ein kritischer Punkt im Kaskode-Light-Konzept. Dieses Szenario wurde unter Hochspannungsbedingungen getestet und soll anhand der gemessenen Oszillogramme in Abbildung 6.11 erklärt werden. Die Abbildung enthält alle relevanten Spannung- und Stromkurven, die im Zusammenhang mit dem Fehler auftreten können.

Das Einschaltsignal LIN erreicht den Eingang des Treibers zum Zeitpunkt t_1 (Abbildung 6.11 a) und es wird ein gültiges Einschaltsignal $U_{GS,jfet}$ ($-19\text{ V} \dots +2\text{ V}$) am Ausgang des Treibers bzw. am Gate des SiC-JFET bereitgestellt (siehe Abb. 6.11 d). Zu diesem Zeitpunkt ist der NV-PMOS-Transistor der Kaskode mit dem Signal $U_{GS,pmos}$ bereits eingeschaltet (siehe Abb. 6.11 d und Abb. 6.11 e). Dies entspricht dem Normalbetriebszustand, wo der SiC-JFET mit dem Ansteuersignal direkt getaktet wird und der NV-PMOS-Transistor permanent eingeschaltet ist.

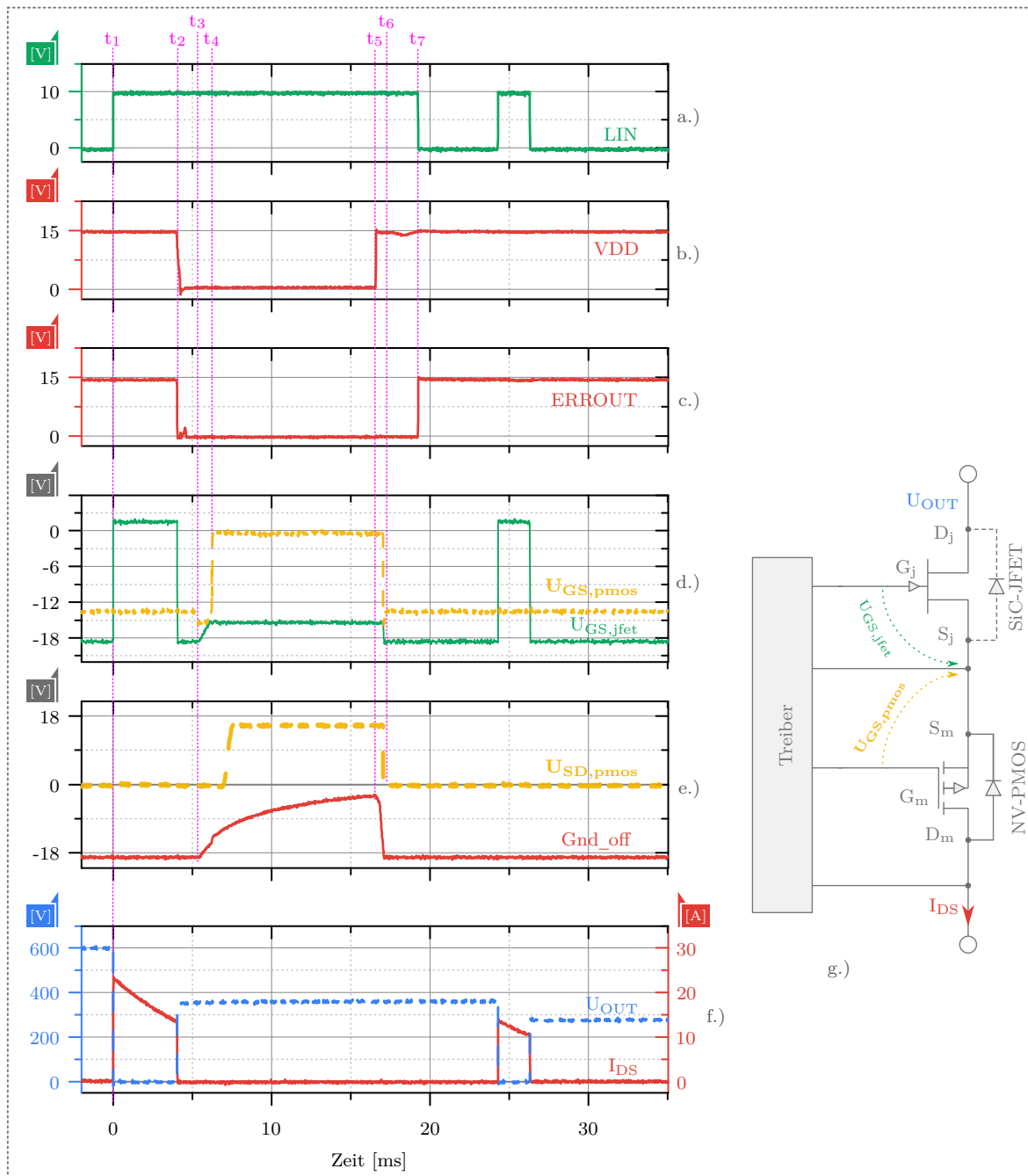


Abbildung 6.11: Messung des Gateabschaltspannungs- bzw. Versorgungsspannungsfehlers in der Kaskode-Light-Anordnung

Im Zeitpunkt t_2 wird die Versorgungsspannung der Primärseite VDD ausgeschaltet (siehe Abb. 6.11 b). Dies wird durch die Überwachung der Versorgungsspannung auf der Primärseite detektiert, und das entsprechende Fehlersignal ERRROUT (*low aktiv*) wird auslöst (siehe Abb. 6.11 c). Gleichzeitig wird der Signalweg des Ansteuersignals gesperrt und der SiC-JFET mit der restlichen in der Pufferkapazität gespeicherten

Ladung auf der Sekundärseite ausgeschaltet (siehe Abb. 6.11 d). Die Spannung Gnd_off von -19 V hält den SiC-JFET im ausgeschalteten Zustand nur für kurze Zeit, dann beginnen die Pufferkapazitäten im Zeitpunkt t_3 ihre Energie zu verlieren bzw. die Gateabschaltspannung Gnd_off beginnt betragsmäßig zu sinken (siehe Abb. 6.11 e).

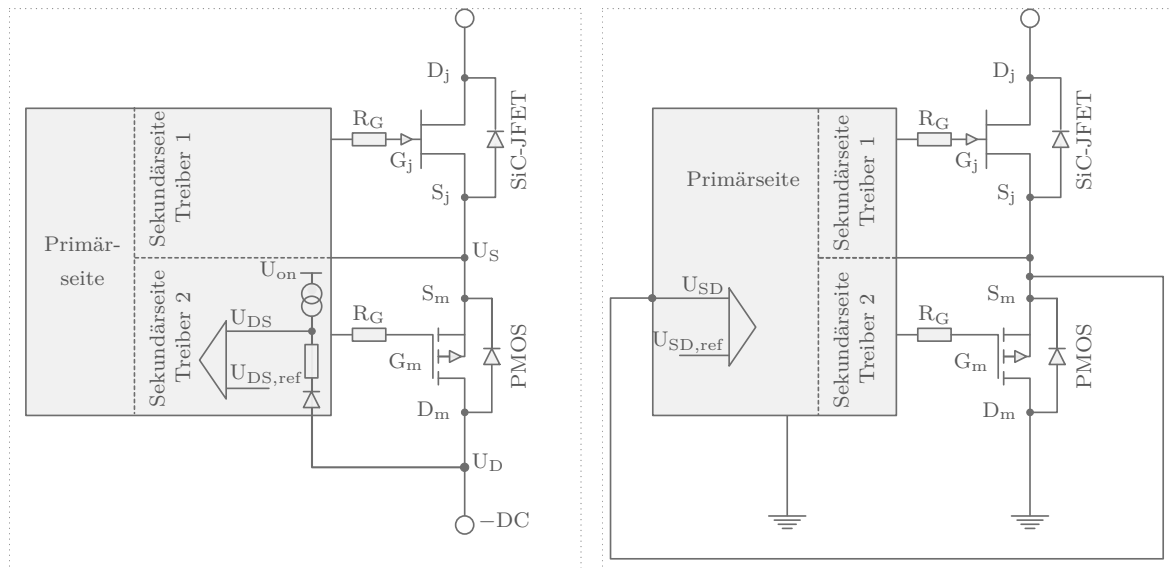
Das Unterschreiten der Gateabschaltsschwelle von ca. -15 V wird in t_4 von der Überwachungsschaltung auf der Sekundärseite erfasst. Danach wird ein Ausschaltsignal $U_{GS,pmos}$ für das Ausschalten des externen NV-PMOS-Transistors ausgelöst (siehe Abb. 6.11 d) und ein Fehlersignal zur Primärseite gemeldet. Die Spannung am gemeinsamen Source des NV-PMOS-Transistors und des SiC-JFET beginnt zu steigen und aktiviert dabei die interne *active clamping*-Schaltung im Treiber. Als Folge bleibt der SiC-JFET durch die gebildete Source-Drain-Spannung des NV-PMOS-Transistors (siehe Abb. 6.11 e) im ausgeschalteten Zustand (siehe Abb. 6.11 d).

Im Zeitpunkt t_5 wird die Spannung VDD wieder eingeschaltet. Das $ERROUT$ -Signal bleibt *low* aktiv solange ein Einschaltsignal am Eingang LIN vorliegt. Auf der Sekundärseite beginnen sich die Pufferkapazität nach dem wieder Einschalten von VDD aufzuladen bis die Spannung Gnd_off ihren normalen Wert von -19 V wieder erreicht hat. Dabei wird die Gateabschaltsschwelle wieder überschritten. Da der Signalweg bereits auf der Primärseite gesperrt ist, darf die Logik auf der Sekundärseite den Fehler zurücksetzen und die Bereitschaft der Sekundärseite zur Primärseite melden. Als Folge wird der SiC-JFET mit -19 V aktiv ausgeschaltet (siehe Abb. 6.11 d). Kurz danach wird der NV-PMOS-Transistor eingeschaltet. Dadurch wird verhindert, dass der NV-PMOS-Transistor nicht mit der Zwischenkreisspannung belastet wird. Im Zeitpunkt t_6 ist der Kaskode-Schalter bereit zum erneuten Takten. Dies kann erst zum Zeitpunkt t_7 geschehen, wenn der Signalweg auf der Primärseite freigeschaltet ist bzw. kein Einschaltsignal am Eingang LIN vorliegt. Es ist zu beachten, dass die Zwischenkreisspannung (U_{ZK}) durch die lange Einschaltzeit entladen wird. Das ist durch die abgesunkene Spannung U_{OUT} in der Abb. 6.11 f zu sehen. Ein schnelles Nachladen ist durch die messtechnische Konstruktion des Messplatzes nicht möglich gewesen.

6.5 Möglichkeit des Einsatzes des PMOS-Transistors für Kurzschlussüberwachung

Wie in der Arbeit gezeigt wurde, kann der SiC-JFET durch den Gatetreiber-IC mit negativen Spannungen von z. B. -20 V , -18 V , -12 V , -8 V etc. bis zu ca. $+2\text{ V}$ ange-

steuert werden, d. h. die sekundärseitige Betriebsspannung zur Ansteuerung der Bauelemente ist niedriger als die Durchlassschwelle z. B. $U_{DS}=8\ldots 10\text{ V}$, die zur Detektion des Kurzschlusses am Bauelement eingestellt werden muss. Damit ist die klassische Kurzschlussüberwachung nicht mehr innerhalb des Betriebsspannungsbereiches der Ansteuerschaltung des SiC-JFET realisierbar. Die Abbildung 6.12 zeigt mögliche Lösungen für die Kurzschlussüberwachung der Kaskode-Light [99]. Wie in der Abb. 6.12 a gezeigt wird, wird der Spannungsabfall über dem *normally-off* PMOS-Transistor direkt an seinem Drain erfasst und innerhalb dessen Ansteuerschaltung ausgewertet. Im Falle eines Über- oder Kurzschlussstromes am *normally-off* PMOS-Transistor liegt der Spannungsabfall über diesem über einer definierten Durchlassschwelle U_{DS} , so dass eine Detektion am *normally-off* PMOS-Transistor und damit indirekt für die gesamte Kaskode-Topologie stattfinden kann. Die Erfassung wird analog zur klassischen U_{DS} -Überwachung nach einer definierten Ausblendzeit nach dem Einschalten aktiviert, das Potential am Drain des PMOS-Transistor direkt über eine Diode entsprechender Spannungs-klasse und einem Strombegrenzungswiderstand abgegriffen und einem Komparator zugeführt. Im Gegensatz zum SiC-JFET hat der PMOS-Transistor Betriebsspannungen von $+2\ldots -12\text{ V}$ und die zu detektierende Schwelle liegt zwischen $-0,3 \ldots -3\text{ V}$, so dass die Detektion des Kurzschlusses sicher möglich ist.



a.) Kurzschlussüberwachung auf der Sekundärseite

b.) Kurzschlussüberwachung auf der Primärseite

Abbildung 6.12: Mögliche Überwachung des Kurzschlusses der Kaskode-Light

Abb. 6.12 b zeigt eine möglich Kurzschlussüberwachung auf der Primärseite. Diese kann für den BOT-Leistungsschalter in Halbbrücken mit asymmetrisch geerdetem Zwischenkreis eingesetzt werden. Dabei liegt der BOT-Schalter (PMOS-Drain) auf dem selben Erdpotential wie die Primärseite des Treibers und somit kann die Spannung U_{SD} primärseitig erfasst und ausgewertet werden.

7 Zusammenfassung

Neben der Betrachtung des aktuellen Stands der *wide bandgap*-Leistungsbaulemente im Vergleich untereinander und mit den aus Silizium hergestellten Leistungsbaulementen, war die Entwicklung vollintegrierter Treiberlösungen für die Ansteuerung von SiC-Leistungsbaulementen das Hauptziel dieser Arbeit. Zum Erreichen dieses Ziels war es anhand der neuen Anforderungen nötig, vorhandene Lösungen zu diskutieren, die mögliche Realisierung neuer Lösungen zu überprüfen sowie vorhandene Herausforderungen und Einschränkungen zu überwinden. Die daraus gewonnen Erkenntnisse sind im Folgenden zusammengefasst.

Materialien: Für hohe Spannungen, bei gleichzeitig niedrigen Durchlass- und Schaltverlusten sowie für höhere Betriebstemperaturen, wo das Silizium (Si) an seine physikalischen Grenzen stößt, präsentieren sich *wide bandgap*-Materialien wie Siliziumkarbid (SiC) und Galliumnitrid (GaN) mit ihren herausragenden physikalischen Eigenschaften (höhere Durchbruchfeldstärke, höhere Geschwindigkeitssättigung für Elektronen, höhere Betriebstemperatur sowie höhere Wärmeleitfähigkeit (nur SiC)) als erstklassige Alternativen. Die Materialien konnten sich noch nicht endgültig für die Massenfertigung von Leistungsbaulementen durchsetzen, was auf die hohen Kosten für Material und Herstellung, die relativ kleinen Waferdurchmesser und die sinkende Ausbeute bei großen Chips zurückzuführen ist. Das bedeutet, dass SiC und GaN das Silizium in der Leistungselektronik ersetzen können, wenn wettbewerbsfähige Kosten, u. a. aufgrund niedriger Defektdichten, hoher Ausbeute und Zuverlässigkeit sowie einer Massenfertigung auf großen Waferdurchmessern ($\geq 6''$) erreicht werden.

SiC-Leistungsbaulemente: Unter den SiC-Transistoren hat sich der SiC-JFET trotz seiner *normally-on* Charakteristik historisch gesehen als erster Kandidat präsentiert, da alternative SiC-MOSFET-Baulemente über viele Jahre instabile Gateoxide aufwiesen. Allerdings gibt es mittlerweile Hersteller von SiC-MOSFETs, die über zuverlässige Gateoxide verfügen, so dass diesen *normally-off* Baulementen sicher die Zukunft gehören wird.

Im Jahre 2001 wurden SiC-Schottky-Dioden erstmals kommerziell freigegeben und sind mittlerweile bei zahlreichen Firmen mit ausreichender Qualität verfügbar. Derzeit sind auch verschiedene SiC-Transistoren wie SiC-JFETs, SiC-MOSFETs und SiC-BJT mit unterschiedlichen Wirkprinzipien für die Spannungsklasse bis zu 1700 V am Markt. Entwicklungsmuster gibt es bereits bis 15 kV. GaN-basierte Transistoren wie HEMT-Transistoren sind ebenfalls kommerziell im Spannungsbereich bis 200 V verfügbar (Entwicklungsmuster bis 600 V). Diese neuen Bauelemente besitzen neue Eigenschaften und sorgen für neue Herausforderungen bezüglich Herstellung, Betriebsanforderungen und Ansteuerung.

Der *normally-on* SiC-LJFET mit seiner planaren Kanalgeometrie hat derzeit eine kleinere Kanalweite pro Fläche im Vergleich zum vertikalen SiC-VJFET und damit einen höheren $R_{DS,on} \times \text{Fläche}$ ($R_{DS,on} \times A_{aktiv}$ (25°C)) \rightarrow SiC-LJFET: $743 \text{ m}\Omega \times \text{mm}^2$; SiC-VJFET: $250 \text{ m}\Omega \times \text{mm}^2$). Er besitzt prinzipiell eine integrierte Freilaufdiode, die allerdings eine hohe Flussspannung von U_F ca. 9 V aufweist. Der vertikale SiC-VJFET hat derzeit den kleinsten $R_{DS,on}$ -Wert aller Feldeffekttransistoren. Das Bauelement ist sowohl als *normally-on* als auch als *normally-off* Variante verfügbar. In der *normally-off* Variante ist der Kanalwiderstand höher, was folglich zu einem höherem $R_{DS,on} \times A_{aktiv}$ ($310 \text{ m}\Omega \times \text{mm}^2$) gegenüber der *normally-on* Variante führt. Der *normally-off* SiC-VJFET benötigt einen hohen statischen Gate-Strom, was nachteilig hinsichtlich des Gatetreibers und des praktischen Einsatzes ist. Die beiden Varianten des SiC-VJFET besitzen keine Freilaufdiode. Es wird deshalb von Anwenderseite eine externe Freilaufdiode empfohlen (analog SiC-LJFET) bzw. die inverse Steuerung des Transistors als Freilaufdiode vorgeschlagen. Die SiC-JFETs zeigen eine hohe positive Temperaturabhängigkeit des $R_{DS,on}$. Er ist bei 150°C um einen Faktor von 2 bis 2,5 mal höher als bei Raumtemperatur (25°C).

Der *normally-off* SiC-MOSFET ist mit planarer Gate-Struktur und seit kurzem auch mit Trench-Gate verfügbar. Durch permanente Erhöhung der Kanalweite ist der $R_{DS,on}$ in den letzten drei Jahren von $R_{DS,on} \times A_{aktiv} = 1030 \text{ m}\Omega \times \text{mm}^2$ auf $445 \text{ m}\Omega \times \text{mm}^2$ gefallen. Diese Tendenz wird sich in den nächsten Jahren durch die Nutzung der Trench-Zelle weiter fortsetzen, so dass Werte wie beim SiC-VJFET erreicht werden. Er besitzt eine interne Freilaufdiode, allerdings zur Zeit noch mit relativ hoher Flussspannung (U_F ca. 4 V). Die SiC-MOSFETs zeigen eine relativ kleine positive Temperaturabhängigkeit des $R_{DS,on}$. Er ist bei 150°C nur 20 bis 40 % höher als bei 25°C . Ursache ist u. a. der gegenläufige negative Temperaturkoeffizient der Schwellspannung.

Der *normally-off* SiC-BJT bietet schnelle Schaltgeschwindigkeiten mit deutlich geringerem $U_{CE,sat}$ als ein Si-IGBT. Außerdem wird die Abwesenheit eines Oxids hinsichtlich der Stabilität als positiv betrachtet. Er besitzt keine interne Freilaufdiode. Allerdings hat der Transistor große Nachteile hinsichtlich der Ansteuerung, da große Basisströme und Ansteuerleistungen im Ein-Zustand gegenüber den feldgesteuerten SiC-Leistungsbaulementen notwendig sind. Mit einer größeren Marktdurchdringung des SiC-BJT ist deshalb nicht zu rechnen.

Aufgrund der geringeren Speicherladung zeigen die SiC-Transistoren niedrigere Rückstromspitzen und Schaltverluste im Vergleich zum Si-IGBT. Darüber hinaus beherrschen die Bauelemente den Kurzschluss für eine Zeit von mindestens $t_{sc}=10\mu s$ sicher. Besonders gut sind dabei die SiC-JFETs wegen ihrer internen Strombegrenzung. Im simulierten Umrichterbetrieb liefern alle SiC-Bauelemente ab ca. 6...16 kHz einen höheren Ausgangsstrom als ein vergleichbarer Si-IGBT. Am besten sind die SiC-MOSFETs deren verfügbarer Ausgangsstrom bereits bei 30 kHz doppelt so hoch wie beim vergleichbaren Si-IGBT ist.

Kaskode: *Normally-on* Bauelemente führen zu Schwierigkeiten (z.B. Kurzschluss in der Halbbrücken) beim Hochfahren des Systems bzw. beim plötzlichen Verlust der Versorgungsspannungen des Treibers. Lösungen zur Vermeidung von Kurzschlüssen wie große Pufferkapazitäten oder zusätzliche Hilfsspannung verursachen Extrakosten oder bieten keine hundertprozentige Garantie des sicheren Betriebs des Systems. Als pragmatischste, zuverlässigste und preiswerteste Lösung zur Ansteuerung von *normally-on* Bauelementen hat sich die Standard-Kaskode erwiesen. Allerdings besitzt die Standard-Kaskode einige Nachteile hinsichtlich des Schalt- und Temperaturverhaltens sowie höhere Verluste. Andere Lösungen wie die *Capacitor-Clamped* Kaskode sind auch denkbar. Die Nachteile der Standard-Kaskode können von der Kaskode-Light zum Teil überwunden werden. Dabei steigt die Komplexität und die Anforderungen an die Ansteuerschaltungen wegen der zwei in der Kaskode-Light anzusteuernenden Schalter. Verschiedene Ansteuerszenarios wurden in der Arbeit diskutiert. Das vorteilhafteste Konzept bezüglich der Verluste und des Treiber- bzw. Schaltungsaufwands wurde bei der Umsetzung des integrierten Treibers realisiert.

Treiberparameter: Die Treiberparameter und -merkmale wurden ausgehend von den Besonderheiten der anzusteuernenden SiC-Leistungsbaulemente und der notwendigen Topologie (Kaskode) festgelegt. Dabei ergab sich für einen Treiber für Halbbrückenschaltung bis 1200 V die technologische Notwendigkeit der Potentialtrennung von Primär- und Sekundärseite. Der Treiber ist für einen Frequenzbereich bis min-

destens 100 kHz und für höhere Temperatur bis $T_{\max}=200^{\circ}\text{C}$ einsetzbar und kann einen Gate-Peakstrom von $\pm 1,4\text{ A}$ liefern. Außerdem wird ein breites Spektrum der Gateeinschaltspannungen von 0 V bis 20 V bzw. Gateabschaltspannungen von 0 V bis -20 V für die Ansteuerung der verschiedenen SiC-Leistungsbaulemente vom Treiber abgedeckt. Darüber hinaus sind notwendige Schutz- und Überwachungsfunktionen, wie z. B. Betriebsspannungs- und Gateabschaltspannungsüberwachungen implementiert. Verschiedene Treiber-IC-Varianten gewährleisten die optimale Ansteuerung von *normally-off* Bauelementen (SiC-MOSFET, SiC-VJFET, Si-IGBT) als auch von *normally-on* Bauelementen (SiC-VJFET, SiC-LJFET) in Kaskode-Anordnungen (Standard-Kaskode, Kaskode-Light).

HVIC-Technologien: Zur Realisierung einer möglichst vollständigen Integration des Gatetreibers sind HVIC-Technologien unerlässlich, die neben den HV-Baulementen die nötige Isolationsfestigkeit anbieten. Von den zur Verfügung stehenden PN- und dielektrisch isolierenden Technologien wurde eine 600V-SOI-Technologie ausgewählt, da sie bei hohen Temperaturen bis $T_{\max}=200^{\circ}\text{C}$ prinzipiell einsetzbar ist und gegenüber negativen Spannungsspitzen (unter Ground) beim Schalten induktiver Lasten völlig immun ist (kein Latchup möglich). Ein weiterer Faktor für die Auswahl sind die für die Ansteuerung der SiC-Baulemente erforderlichen positiven und negativen Gate-Spannungen. Diese können in dielektrisch isolierten Substraten leichter umgesetzt werden. Die Erweiterung der Isolationsfestigkeit der ausgewählten 600V-Technologie auf 1200 V wurde durch eine Multi-Chip-Lösung realisiert. Dabei wird die maximale Sperrspannung auf 2 separate Chips durch zwei kaskadierte 600V-Levelshifter mit dazugehörigen *Clamping*- und Schutzschaltungen aufgeteilt.

Treiberkonzept: Die entwickelten Treiber bestehen aus einem *low side*- und einem *high side*-IC. In jedem davon ist ein 600V-DMOS-Transistor als Teil des 1200V-HV-Levelshifters zu finden. Während die Primärseite und die BOT-Sekundärseite im *low side*-IC angeordnet sind, ist die TOP-Sekundärseite im *high side*-IC platziert. Auf der Primärseite sind Schutz-, Kommunikations- und Ansteuerfunktionen implementiert. Auf der BOT- bzw. TOP-Sekundärseite sind neben den Schutz- und Überwachungsfunktionen des Schalters bzw. der Betriebsspannungen, die wichtigen Signalanpassungen für die Ansteuerung der SiC-Leistungsbaulemente zu finden. Die unterschiedlichen spezifischen Betriebsspannungen von $U_{\text{GS}}=-18\text{ V}\dots+2\text{ V}$ für SiC-LJFET und $U_{\text{GS}}=-5\text{ V}\dots+15\text{ V}\dots+18\text{ V}$ für Si-IGBT bzw. SiC-MOSFET wurden intern durch schaltungstechnische Maßnahmen realisiert. Dabei setzen sich die Treiberschaltungen der BOT- bzw. TOP-Sekundärseite aus zwei Schaltungsteilen zusammen, die auf zwei

unterschiedlichen Bezugspotentialen liegen. Die Kommunikationen zwischen beiden erfolgt durch verschiedene *up*- und *down*-MV-Levelshifter. Durch die Einführung einer *active clamping*-Schaltung konnten die SiC-JFETs mit positiven Spannungen $> +0,7\text{ V}$ eingeschaltet werden. Für die Ansteuerung der Kaskode-Light wurde ein Szenario implementiert, welches niedrige Verluste, hohe Zuverlässigkeit und einfache Ansteuerung garantiert. Die dafür neu entwickelten Teilschaltungen und Funktionsgruppen (wie z. B. Signalanpassungs-, Überwachungs- und Erweiterungsschaltungen) wurden detailliert beschrieben und mit entsprechenden Simulationen unterstützt, um ihre richtige Funktionalität zu sichern. Weiterhin wurde auf die Probleme der *bandgap*-Referenz auf der TOP-Sekundärseite beim Schalten eingegangen und mögliche Lösungen wie die Verbesserung der *start-up*-Schaltung vorgeschlagen, um die Regelzeit zu verkürzen. Für *normally-on* SiC-Leistungsbaulemente (z. B. SiC-VJFET), die lediglich einen Ansteuerungshub kleiner als 14 V besitzen, wurden Vereinfachungen an der Hauptversion des Treiber-ICs vorgenommen. Eine weitere Treiberversion wurde für die Ansteuerung von SiC-MOSFET- bzw. Si-IGBTs angepasst. Diese angepasste Version ist insbesondere durch den großen Spannungshub von 20 V vorteilhaft, wobei eine negative Spannung für das Ausschalten der Bauelemente verwendet werden kann. Dadurch wird das parasitäre Einschalten der Bauelemente insbesondere bei hohen Strömen und hohen du/dt vermieden. Andererseits kann durch den großen Spannungshub eine große Gateeinschaltspannung von bis zu 20 V verwendet werden. Dies ist besonders gut, um einen niedrigen $R_{DS,on}$ des SiC-MOSFET zu erhalten.

Insgesamt wurden drei Treibervarianten entworfen. Die Erste ist für die Ansteuerung von *normally-on* SiC-LJFETs in Kaskode-Light-Konfiguration mit erweitertem Betriebsspannungsbereich geeignet. Die Zweite ist für die Ansteuerung von *normally-on* SiC-VJFETs in Kaskode-Light-Konfiguration mit geringerem Betriebsspannungsbereich vorgesehen. Die Dritte ist für die Ansteuerung von SiC-MOSFETs, Si-IGBTs sowie *normally-off* SiC-JFETs konzipiert. Die Chips wurden im SOP28L bzw. im QFN64-Gehäuse aufgebaut. Die Chips sind im Gehäuse auf zwei voneinander isolierten Inseln mit einem minimalen Abstand von $0,4\text{ mm}$ im SOP28L-Gehäuse und $0,85\text{ mm}$ im QFN64-Gehäuse platziert. Durch diesen Abstand wird die Hochspannungsisolation zwischen *high* und *low side*-ICs garantiert. Weiterhin besitzen die Pins der IC-Gehäuse, zwischen denen hohe Spannungsunterschiede von 600 V bzw. 1200 V auftreten können, einen ausreichenden Abstand, so dass auch für die Boardmontage ausreichende Isolationsabstände erreicht werden.

Ergebnisse: Die verschiedenen Gatetreiber-ICs wurden als Erstes im Niederspannungsbereich getestet, um die Grundfunktionen der Treiber zu überprüfen. Darunter sind die Signalverläufe zwischen Ein- und Ausgängen, die Kurzpulsunterdrückung, die Querverriegelung und die Gateabschaltspannungs- bzw. Betriebsspannungsüberwachung sowie die Stromaufnahme zu verstehen. Die Treiber weisen hohe Signallaufzeiten von ca. 750 ns auf, die durch die zur Sicherheit eingestellte Kurzpulsunterdrückung von ca. 500 ns verursacht werden. Die reine Durchlaufzeit liegt bei ca. 250 ns, was durch mehrere Übertragungen des Signals über die Levelshifter und die Rekonstruktion des Signals bedingt ist. Eine minimale Zeitdifferenz von ca. 500 ns ist für die Querverriegelung implementiert und verhindert damit das gleichzeitige Einschalten von BOT- und TOP-Schalter der Halbbrücke. Jeder Puls bzw. jede Pause, die kleiner als 500 ns ist, wird aus Sicherheitsgründen als ungültiges Ansteuermuster interpretiert und demzufolge erfolgreich von den Treibern unterdrückt. Fehlersignale für die überwachte Gateabschaltspannung des *normally-on* SiC-JFET (z. B. für SiC-LJFET Schwelle bei 15 V) bzw. der Gateeinschaltspannung des SiC-MOSFET (Schwelle bei 17 V) werden beim Unterschreiten der jeweiligen Schwelle korrekt ausgelöst. Die Messergebnisse belegen die korrekte Funktionalität der Schaltungsteile. Außerdem stimmen die gemessenen Parameter wie Querverriegelungszeit, Breite der unterdrückten Pulse und Pausen sowie die überwachten Gateschaltspannungen mit den Konzipierten überein. Der Stromverbrauch liegt bei 4,188 mA für den SiC-LJFET-Treiber-IC und bei 4,35 mA für den SiC-MOSFET-Treiber-IC. Der Hauptteil des Stroms wird auf die Primärseite des jeweiligen Treiber-ICs verbraucht. Die effiziente Entwicklung der Schaltungsteile in der ausgewählten SOI-Technologie lässt sich durch den Stromverbrauch der TOP-Sekundärseite mit ca. 660 μ A für den SiC-LJFET-Treiber-IC und ca. 760 μ A für den SiC-MOSFET-Treiber-IC zeigen. Dieser niedrige Stromverbrauch ist besonders wichtig beim Einsatz einer *bootstrap*-Versorgung für die TOP-Sekundärseite.

Hochspannungsmessungen wurden in Halbbrückentopologie für U_{ZK} bis 1 kV und Ströme bis 40 A durchgeführt. Alle SiC-Leistungsbaulemente konnten bei hohem du/dt bis 12 kV/ μ s und di/dt bis 700 A/ μ s mit dem Treiber problemlos angesteuert werden. Einen besonderen Vorteil bringt das Abschalten mit negativer Spannung für SiC-MOSFET bzw. Si-IGBT, weil sich dadurch das parasitäre Einschalten des jeweiligen ausgeschalteten Schalters insbesondere bei höheren Strömen und Spannungen vermeiden lässt. Dies wird anhand von IGBT-Messungen gezeigt. Dabei sinken die Gesamtverluste beim Schalten mit $U_{GE}=0$ V von 29,27 mJ auf 17,3 mJ beim Schalten mit $U_{GE}=-5$ V ($U_{ZK}=600$ V, $I_C=100$ A, $R_G=10$ Ω , $T_j=25$ $^{\circ}$ C). Auch bei SiC-MOSFETs in Halbbrücken-

konfiguration ist ein parasitäres Einschalten des jeweiligen ausgeschalteten Schalters bei $du/dt > 12 \text{ kV}/\mu\text{s}$ und $U_{GS}=0 \text{ V}$ zu beobachten, welches sich mit $U_{GS}=-5 \text{ V}$ verhindern lässt. Bei SiC-LJFET muss analog mit $U_{GS}=-20 \text{ V}$ abgeschaltet werden.

Die Umrichtermessungen wurden bei einer Zwischenkreisspannung von $U_{ZK}=600 \text{ V}$ durchgeführt. Stabile sinusförmige Ausgangsströme (Effektivwert $I_{RMS}=53 \text{ A}$) mit einer Phasenverschiebung von 120° zueinander konnten an den Ausgängen gemessen werden. Die Messungen unter Hochspannungsbedingungen belegen die Eignung der Treiber zum Einsatz für die Spannungsclassen bis 1200 V .

Das implementierte Szenario für die Ansteuerung der Kaskode-Light wurde unter Hochspannungsbedingungen bei U_{ZK} bis 1 kV und Strömen bis 20 A sowohl im normalen Betrieb als auch im fehlerhaften Betrieb überprüft. Alle gemessenen Spannungs- und Stromverläufe, die in beiden Betriebsfällen auftreten können, bestätigen die durchgeführten Simulationen aus der Designphase. Ein sicherer und korrekter Betrieb der Kaskode-Light wird dadurch garantiert. Weiterhin konnte der Freilaufvorgang in Bezug auf die Verluste in der Kaskode-Schaltung durch den Einsatz des entwickelten Gatetreibers verbessert werden. Dabei wird die inverse Steuerung des SiC-JFET als Freilaufdiode eingesetzt. Dadurch kann auf eine extra Freilaufdiode verzichtet werden, was sich im reduzierten Kosten und Flächenbedarf im Modul widerspiegelt.

Da die klassische Kurzschlussüberwachung wegen des besonderen Betriebsspannungsbereiches der Ansteuerschaltung des SiC-JFET nicht realisierbar ist, wurde die Möglichkeit des Einsatzes des PMOS-Transistors in der Kaskode-Light-Anordnung für die Kurzschlussüberwachung gezeigt. Dabei wird der Spannungsabfall über dem PMOS-Transistor direkt an seinem Drain erfasst und innerhalb der Ansteuerschaltung ausgewertet.

Literaturverzeichnis

- [1] Fan Ren and John C Zolper. *Wide Energy Bandgap Electronic Devices*. World Scientific Publishing Company Incorporated, 2003.
- [2] Robert Perret. *Power Electronics Semiconductor Devices*. Wiley-ISTE, 2009.
- [3] Josef Lutz. *Halbleiter-Leistungsbaulemente: Physik, Eigenschaften, Zuverlässigkeit*. Springer, 2006.
- [4] Michael Shur, Sergey Rumyantsev, and Michael Levinstein. *SiC Materials and Devices*. World Scientific, 2007.
- [5] PEE. First Commercial Silicon Carbide Power MOSFET Launched by Cree. *Power Electronics Europe (PEE)*, 1:21–22, Jan 2011.
- [6] Robin Kelley, Gray Stewart, Andrew Ritenour, Vlad Bondarenko, and David C. Sheridan. 1700 V Enhancement-Mode SiC VJFET for High Voltage Auxiliary Flyback SMPS. In *Power Electronics/intelligent Motion/Power Quality, 2010. PCIM Europa*, 2010.
- [7] Andrea Gillhuber. Galliumnitrid und Siliziumkarbid. Elektronik-net.de, may 2012. @ONLINE, <http://www.elektroniknet.de/halbleiter/leistungshalbleiter/artikel/92561/> Abruf: 13. November 2014.
- [8] Anders Lindgren and Martin Domeij. Degradation free fast switching 1200 V 50 a silicon carbide BJT's. In *Applied Power Electronics Conference and Exposition (APEC), 2011 Twenty-Sixth Annual IEEE*, pages 1064–1070, 2011.
- [9] Jeff Casady. Progress in Using normally-off SiC-JFET Power Transistors - The First Year. *Bodo's Power Systems®*, pages 40–43, November 2009.
- [10] Cree. datasheet for. CPMF-1200-S080B Z-FET™ Silicon Carbide MOSFET. Datenblatt, 2011. @ONLINE, <http://www.cree.com/~media/Files/Cree/Power/Data%20Sheets/CPMF1200S080B.pdf> Abruf: 13. November 2014.

- [11] Infineon Presss Release. Infineon Releases Revolutionary CoolSiC 1200V SiC JFET Family with Direct Drive Technology: Efficiency Levels for Solar Inverters Scale New Dimensions, May 2012. @ONLINE, <http://www.infineon.com/cms/en/corporate/press/news/releases/2012/INFPMM201205-038.html> Abruf: 13. November 2014.
- [12] Rohm. The Industry's First SiC Power MOSFET with Internal SiC SBD Significantly reduces power loss in inverters and requires fewer components, July 2012. @ONLINE, <http://www.rohm.com/web/global/news-detail?news-title=the-industry-s-first%E2%80%BB-sic-power-mosfet-with-internal-sic-sbd&defaultGroupId=false> Abruf: 13. November 2014.
- [13] SemiconductorTODAY. Fairchild's launches its first SiC BJTs, offering low power loss at high temperature, November 2012. @ONLINE, http://www.semiconductor-today.com/news_items/2012/NOV/FAIRCHILD_141112.html Abruf: 13. November 2014.
- [14] A. Kadavelugu, S. Bhattacharya, Sei-Hyung Ryu, E. Van Brunt, D. Grider, A. Agarwal, and S. Leslie. Characterization of 15 kv sic n-igt and its application considerations for high power converters. In *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, pages 2528–2535, Sept 2013.
- [15] Gerald Deboy, Roland Rupp, Regine Mallwitz, and Holger Ludwig. New SiC JFET Boost Performance of Solar Inverters. *Power Electronics Europe*, (4):29–33, June 2011.
- [16] I. Sankin, D.C. Sheridan, W. Draper, V. Bondarenko, R. Kelley, M.S. Mazzola, and J.B. Casady. normally-Off SiC VJFETs for 800 V and 1200 V Power Switching Applications. In *Power Semiconductor Devices and IC's, 2008. ISPSD '08. 20th International Symposium on*, pages 260–262, may 2008.
- [17] Dieter Liesabeths. Reducing system cost using efficient SiC-JFETs, 2011. @ONLINE, http://www.embedded-world.eu/fileadmin/user_upload/pdf/ecodesign_2011/Session_6/19_Dieter_Liesabeths_-_Reducing_system_cost_using_efficient_SiC_JFETs_1.pdf Abruf: 13. November 2014.
- [18] John W. Palmour, Sei-Hyung Ryu, Qingchun Zhang, and Lin Cheng. Pros and Cons for Silicon Carbide MOSFETs, JFETs and BJTs. *Power Electronics Europe*, (Issue 5):19–22, August 2009.

- [19] Martin Domeij, A. Lindgren, C. Zaring, A.O. Konstantionov, J-O. Svedberg, K. Gumaelius, I. Keri, H. Grenell, M. Ostling, and M. Reimark. 1200V 6A SiC BJTs with very low VCESAT and fast switching. In *Power Electronics/intelligent Motion/Power Quality, 2010. PCIM Europa*, 2010.
- [20] K. Mino, S. Herold, and J.W. Kolar. A gate drive circuit for silicon carbide JFET. In *Industrial Electronics Society, 2003. IECON '03. The 29th Annual inproceedings of the IEEE*, volume 2, pages 1162–1166 Vol.2, nov. 2003.
- [21] SemiSouth. datasheet for. normally-off Trench Silicon Carbide Power JFET. Datenblatt, 2011.
- [22] Infineon. datasheet for. 1200V Silicon Carbide Power JFET. Datenblatt, 2010.
- [23] S. Round, M. Heldwein, J. Kolar, I. Hofsjager, and P. Friedrichs. A SiC JFET driver for a 5 kW, 150 kHz three-phase PWM converter. In *Industry Applications inproceedings, 2005. Fourtieth IAS Annual Meeting. inproceedings Record of the 2005*, volume 1, pages 410–416 Vol. 1, oct. 2005.
- [24] I.Koch. Siliziumkarbid-Halbleiterschalter. TU-Braunschweig, 2009. @ONLINE, https://www.tu-braunschweig.de/Medien-DB/imab/09-Jahresberichte/2009/03_Koch_2009.pdf Abruf: 13. November 2014.
- [25] Daniel Domes, Christoph Messelke, and Peter Kanschä. 1st industrialized 1200V SiC JFET module for high energy efficiency applications. In *Power Electronics/intelligent Motion and Power Quality, 2011. PCIM Europa*, may 2011.
- [26] I. Koch, F. Hinrichsen, and W.-R. Canders. Application of SiC-JFETs in current source inverter topologies. In *Power Electronics and Applications, 2005 European inproceedings on*, pages 7 pp.–P.7, 0-0 2005.
- [27] Rohm. datasheet for. SCT2160KE N-channel SiC power MOSFET. Datenblatt, 2012. @ONLINE, <http://rohmfs.rohm.com/en/products/databook/datasheet/discrete/sic/mosfet/sct2160ke.pdf> Abruf: 13. November 2014.
- [28] Samuel Araujo, Thiemo Kleeb, and Peter Zacharias. High switching speeds and loss reduction: prospects with Si, SiC and GaN and limitations at device, packing and application level. In *Power Electronics/intelligent Motion/Renewable Energy and Energy Management, 2013. PCIM Europa*, pages 1006–1015. VDE VERLAG GMBH, may 2013.

- [29] Ulrich Nicolai, Tobias Reinmann, Jürgen Petzoldt, and Josef Lutz. *Applikationshandbuch IGBT- und MOSFET-Leistungmodule*. Verlag ISLE, 1. auflage edition, 1998.
- [30] Bob Callanan. Silicon Carbide MOSFETs Provide Ultimate Energy Efficiency and Easy Design In. *Bodo's Power Systems*[®], pages 36–38, March 2011.
- [31] Robert Callanan. Application of Silicon Carbide MOSFETs. *Power Electronics Europe (PEE)*, (3):39–40, April 2011.
- [32] Bob Callanan. Application Considerations for Silicon Carbide MOSFETs. In *Power Electronics/intelligent Motion/Power Quality, 2010. PCIM Europa*, number 3, pages 40–43, April 2010.
- [33] SemiSouth Laboratories Inc. Silicon Carbide Enhancement-Mode Junction Field Effect Transistor and Recommendations for Use. Application Note AN-SS1, 2009. @ONLINE, <http://www.enricofalloni.it/english/semidata/AN.pdf> Abruf: 16. July 2013.
- [34] Benjamin Wrzecionko, D. Bortis, J. Biela, and J.W. Kolar. Novel AC-Coupled Gate Driver for Ultrafast Switching of normally-off SiC JFETs. *Power Electronics, IEEE Transactions on*, 27(7):3452–3463, 2012.
- [35] Björn Allebrand and Hans-Peter Nee. On the possibility to use SiC JFETs in power electronic circuits. In *9th European inproceedings on Power Electronics and Applications*, aug 2001. Austria.
- [36] R. Kelley and M.S. Mazzola. SiC JFET gate driver design for use in DC/DC converters. In *Applied Power Electronics inproceedings and Exposition, 2006. APEC '06. Twenty-First Annual IEEE*, page 4 pp., march 2006.
- [37] F. Guédon, S.K. Singh, R.A. McMahon, and F. Udrea. Gate driver for SiC JFETs with protection against normally-on behaviour induced fault. *Electronics Letters*, 47(6):375–377, 2011.
- [38] Dominique Bergogne, Damien Risaletto, Fabien Dubois, Asif Hammoud, Herve Morel, Pascal Bevilacqua, Bruno Allard, Oliveier Berry, Farid Meibody Tabar, Stephane Rael, Regis Meuret, Sonia Dhokkar, and Hispano Suiza. normally-On SiC JFETs in power converters: Gate driver and safe operation. In *Integrated Power Electronics Systems (CIPS), 2010 6th International inproceedings on*, pages 1–6, march 2010.

- [39] F. Dubois, D. Risaletto, D. Bergogne, H. Morel, C. Buttay, and R. Meuret. Active protections for normally-on SiC JFETs. In *Power Electronics and Applications (EPE 2011), inproceedings of the 2011-14th European inproceedings on*, pages 1–10, 30 2011-sept. 1 2011.
- [40] Khalil El Falahi, Fabien Dubois, Dominique Bergogne, Damien Risaletto, and Bruno Allard. Integrated Anti-Short-Circuit Safety Circuit in CMOS SOI for normally-On JFET. In *Integrated Power Electronics Systems (CIPS), 2012 7th International inproceedings on*, pages 1–5, march 2012.
- [41] Mi Dong, J. Elmes, M. Peper, I. Batarseh, and Z.J. Shen. Investigation on inherently safe gate drive techniques for normally-on wide bandgap power semiconductor switching devices. In *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE*, pages 120–125, 2009.
- [42] B.Jayant Baliga. High gain power switching using field controlled thyristors. *Solid-State Electronics*, 25(5):345–353, 1982.
- [43] W.-D. Nowak, J. Korec, H. Maeder, and M. Fullmann. GTO-cascode for high power, high frequency applications. In *Power Semiconductor Devices and ICs, 1990. ISPSD '90. Proceedings of the 2nd International Symposium on*, pages 138–143, 1990.
- [44] André Knop, W.-Toke Franke, and Friedrich W. Fuchs. Switching and conducting performance of SiC-JFET and ESBT against MOSFET and IGBT. In *Power Electronics and Motion Control Conference, 2008. EPE-PEMC 2008. 13th*, pages 69–75, 2008.
- [45] S. Musumeci, R. Pagano, A. Raciti, C. Porto, C. Ronsisvalle, and R. Scollo. Characterization, parameter identification and modeling of a new monolithic emitter- switching bipolar transistor. In *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, volume 3, pages 1924–1931 vol.3, 2004.
- [46] Heinz Mitlehner and Michael Stoisiek. Elektronische Schalteinrichtung, insbesondere zum Schalten elektrischer Ströme, für hohe Speerspannungen und mit geringen Durchlaßverlusten. Patentschrift DE000019610135C1, 04 1997.
- [47] J. Biela, D. Aggeler, D. Bortis, and J.W. Kolar. 5kV/200ns Pulsed Power Switch based on a SiC-JFET Super Cascode. In *IEEE International Power Modulators and High Voltage Conference, Proceedings of the 2008*, pages 358–361, 2008.

- [48] Nigel Springett. Capacitor-clamped Cascode normally-on SiC JFET operates as Synchronous Rectifier. In *Power Electronics/intelligent Motion and Power Quality, 2011. PCIM Europa*, pages 979–983, may 2011.
- [49] Daniel Domes and Xi Zhang. Cascode light normally-on JFET stand alone performance in a normally-off Cascode circuit. In *Power Electronics/intelligent Motion/Power Quality, 2010. PCIM Europa*, pages 299–303. VDE VERLAG GMBH, may 2010.
- [50] Ralf Siemienieć, Gerhard Nöbauer, and Daniel Domes. Stability and performance analysis of a SiC-based cascode switch and an alternative solution. *Microelectronics Reliability*, 52(3):509–518, 2012. Special section on International Seminar on Power Semiconductors 2010.
- [51] B. Weis, M. Braun, and P. Friedrichs. Turn-off and short circuit behaviour of 4H SiC JFETs. In *Industry Applications inproceedings, 2001. Thirty-Sixth IAS Annual Meeting. inproceedings Record of the 2001 IEEE*, volume 1, pages 365–369 vol.1, 30 2001-oct. 4 2001.
- [52] Laszlo Balogh. Design and application guide for high speed MOSFET gate drive circuits, 2001. @ONLINE, <http://www.ti.com/lit/ml/slup169/slup169.pdf> Abruf: 13. November 2014.
- [53] Marcelo L. Heldwein and Johann W. Kolar. A novel SiC J-FET gate drive circuit for sparse matrix converter applications. In *Applied Power Electronics inproceedings and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, volume 1, pages 116–121 Vol.1, 2004.
- [54] Daniel Aggeler, Juergen Biela, and Johann W. Kolar. Controllable du/dt behaviour of the SiC MOSFET/JFET cascode an alternative hard commutated switch for telecom applications. In *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, pages 1584–1590, 2010.
- [55] Ashot Melkonyan. Elektronische Schalteinrichtung mit zumindest zwei Halbleiterschaltelementen. Patentschrift DE102006029928B3, 09 2007.
- [56] Peter Friedrichs, Heinz Mitlehner, and Reinhold Schörner. Elektronische Schalteinrichtung und Betriebsverfahren. Patentschrift DE000010101744C1, 08 2002.
- [57] Daniel Domes, Ralf Werner, Wilfried Hofmann, Konrad Domes, and Sebastian Kraub. A New, Universal and Fast Switching Gate-Drive-Concept for SiC-JFETs

- based on Current Source Principle. In *Power Electronics Specialists inproceedings, 2006. PESC '06. 37th IEEE*, pages 1–6, june 2006.
- [58] A. Orellana and B. Piepenbreier. Fast gate drive for SiC-JFET using a conventional driver for MOSFETs and additional protections. In *Industrial Electronics Society, 2004. IECON 2004. 30th Annual inproceedings of IEEE*, volume 1, pages 938–943 Vol. 1, nov. 2004.
 - [59] Karl Norling, Christian Lindholm, and Dieter Draxelmayr. An Optimized Driver for SiC JFET-Based Switches Enabling Converter Operation With More Than 99% Efficiency. *Solid-State Circuits, IEEE Journal of*, 47(12):3095–3104, 2012.
 - [60] Björn Allebrand and Hans-Peter Nee. Design of a Gate Drive Circuit For use with SiC JFETs. In *inproceedings of the 2002 Nordic Workshop on Power and Industrial Electronics, Stockholm, Sweden*, aug 2002.
 - [61] C. Rebberh, H. Schierling, and M. Braun. First inverter using silicon carbide power switches only. In *European Power Electronics, 2003. EPE '03. 10th European inproceedings on Power Electronics and Applications*, volume 2003, 2003.
 - [62] I.W. Hofsjager, A. Melkonyan, M. Mantel, S. Round, and J.W. Kolar. A simple, low cost gate drive method for practical use of SiC JFETs in SMPS. In *Power Electronics and Applications, 2005 European inproceedings on*, pages 6 pp.–P.6, 0-0 2005.
 - [63] M.A. Huque, R. Vijayaraghavan, M. Zhang, B.J. Blalock, L.M. Tolbert, and S.K. Islam. An SOI-based High-Voltage, High-Temperature Gate-Driver for SiC FET. In *Power Electronics Specialists inproceedings, 2007. PESC 2007. IEEE*, pages 1491–1495, june 2007.
 - [64] M.A. Huque, L.M. Tolbert, B.J. Blalock, and S.K. Islam. Silicon-on-insulator-based high-voltage, high-temperature integrated circuit gate driver for silicon carbide-based power field effect transistors. *Power Electronics, IET*, 3(6):1001–1009, 2010.
 - [65] Katusmi Ishikawa, Hidekatsu Onose, Yasuo Onose, Takasumi Ooyanagi, Tomoyuki Someya, Natsuki Yokoyama, and Hiroshi Hozouji. normally-off SiC-JFET inverter with low-voltage control and a high-speed drive circuit. In *Power Semiconductor Devices and IC's, 2007. ISPSD '07. 19th International Symposium on*, pages 217–220, may 2007.

- [66] Kuang Sheng, Yongxi Zhang, Ming Su, Liangchun Yu, and J.H. Zhao. High-Frequency Switching of SiC High-Voltage LJFET. In *Power Semiconductor Devices and IC's, 2008. ISPSD '08. 20th International Symposium on*, pages 229–232, may 2008.
- [67] Robin Kelley, Fenton Rees, and Dan Schwob. Optimized Gate Driver for Enhancement-mode SiC JFET. In *Power Electronics/intelligent Motion/Power Quality, 2009. PCIM Europa, 2009*.
- [68] R. Kelley, A. Ritenour, D. Sheridan, and J. Casady. Improved two-stage DC-coupled gate driver for enhancement-mode SiC JFET. In *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, pages 1838–1841, 2010.
- [69] David W. Berning, Tam H. Duong, José M. Ortiz-Rodriguez, Angel Rivera-López, and Allen R. Hefner. High-Voltage Isolated Gate Drive Circuit for 10 kV, 100 A SiC MOSFET/JBS Power Modules. In *Industry Applications Society Annual Meeting, 2008. IAS '08. IEEE*, pages 1–7, oct. 2008.
- [70] Javier Antonio Valle-Mayorga, Caleb Paul Gutshall, Khoa Minh Phan, Ivonne Escorcia-Carranza, Homer Alan Mantooth, Bradley Reese, Marcelo Schupbach, and Alex Lostetter. High-Temperature Silicon-on-Insulator Gate Driver for SiC-FET Power Modules. *Power Electronics, IEEE Transactions on*, 27(11):4417–4424, 2012.
- [71] Karl Norling, Christian Lindholm, and Dieter Draxelmayr. An optimized driver for SiC JFET-based switches delivering more than 99% efficiency. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, pages 284–286, 2012.
- [72] Karl Norling and Uwe Jansen. Integrated Driver for normally-on SiC-JFETs Functionality and Application Considerations. In *EPCE SiC and GaN User Forum, Munich*, may 2013.
- [73] SEMIKRON datasheet for. SKIC 6002. Datenblatt, 2007.
- [74] SEMIKRON datasheet for. SEMIDRIVER SKIC 2002 E. Datenblatt, 2008.
- [75] SEMIKRON datasheet for. SEMIDRIVER SKIC 1003. Datenblatt, 2005.
- [76] J.A. Appels and H.M.J. Vaes. High voltage thin layer devices (resurf devices). In *Electron Devices Meeting, 1979 International*, volume 25, pages 238–241, 1979.

- [77] David Tam. New 1200V Integrated Circuit Changes The Way 3-Phase Motor Drive Inverters Are Designed (Technical Paper), 2008. @ONLINE, <http://www.irf.com/technical-info/whitepaper/cic1200v.pdf> Abruf: 13. November 2014.
- [78] Bastian Vogler. *Integrierte Gatetreiber in SOI-Technologie für 600 V- und 1200 V-Leistungssysteme*. PhD thesis, TU Ilmenau, 2011.
- [79] B.A. Chen, A.S. Yapsir, S. Wu, R. Schulz, D.S. Yee, D.K. Sadana, H.J. Hovel, T.H. Ning, G. Shahidi, and B. Davari. 0.25 μm low power CMOS devices and circuits from 8 inch SOI materials. In *Solid-State and Integrated Circuit Technology, 1995 4th International Conference on*, pages 260–262, 1995.
- [80] J-P Colinge. SOI for hostile environment applications. In *SOI Conference, 2004. Proceedings. 2004 IEEE International*, pages 1–4, 2004.
- [81] X-FAB Semiconductor Foundries. 1.0 μm BCD Process CD10H. process specification, 2004.
- [82] T. Letavic, E. Arnold, M. Simpson, R. Aquino, H. Bhimnathwala, R. Egloff, A. Emmerik, S. Wong, and S. Mukherjee. High Performance 600V Smart Power Technology Based on Thin Layer Silicon-On-Insulator. In *ISPSD International Symposium on Power Semiconductor Devices and IC's, 1997*, pages 49–52, may 1997.
- [83] Kerry Bernstein and Norman J Rohrer. *SOI circuit design concepts*. Springer, 2007.
- [84] B. Vogler, M. Rossberg, R. Herzer, L. Reusser, and T. Wurm. 600V Converter/Inverter/Brake (CIB) - Module with integrated SOI Gate Driver IC for Medium Power Applications. In *Integrated Power Systems (CIPS), 2008 5th International Conference on*, pages 1–5, 2008.
- [85] Bruno Murari, Franco Bertotti, and Guiovanni A Vignola. *Smart power ICs: technologies and applications*, volume 6. Springer, 2002.
- [86] M. Stoisiek. Technologien für Hochvolt-ICs. *Electrical Engineering*, 79(5):379–392, 1996.
- [87] Thomas Rotter and Michael Stoisiek. High-voltage devices (>600 V) produced with a low-voltage (<150 V) smart-power IC-technology. In *European Solid-State Device Research, 2003. ESSDERC '03. 33rd Conference on*, pages 195–198, 2003.

- [88] Thomas Rotter and Michael Stoisiek. High-voltage extension(VBR ge; 800 V) for smart-power SOI-technologies. In *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, pages 447–450, 2004.
- [89] H. Akiyama, N. Yasuda, J. Moritani, K. Takanashi, and G. Majumdar. Improved Dielectric Isolation HVIC Technology (SODI) in Transfer Mold Package. In *Power Semiconductor Devices and IC's, 2006. ISPSD 2006. IEEE International Symposium on*, pages 1–4, 2006.
- [90] T. Trajkovic, F. Udrea, C. Lee, N. Udugampola, V. Pathirana, A. Mihaila, and G.A.J. Amaratunga. Thick silicon membrane technology for reliable and high performance operation of high voltage LIGBTs in Power ICs. In *Power Semiconductor Devices and IC's, 2008. ISPSD '08. 20th International Symposium on*, pages 327–330, 2008.
- [91] S. Pawel, M. Rossberg, and R. Herzer. 600V SOI gate drive HVIC for medium power applications operating up to 200 deg;C. In *Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on*, pages 55–58, 2005.
- [92] T. Letavic, M. Simpson, E. Arnold, E. Peters, R. Aquino, J. Curcio, S. Herko, and S. Mukherjee. 600 V power conversion system-on-a-chip based on thin layer silicon-on-insulator. In *Power Semiconductor Devices and ICs, 1999. ISPSD '99. Proceedings., The 11th International Symposium on*, pages 325–328, 1999.
- [93] NXP Semiconductors B.V. Design Manual ICN. process specification, 2010. Technologie-Information EZ-HV.
- [94] B. Vogler, M. Rossberg, R. Herzer, and L. Reusser. Integration of 1200v soi gate driver ics into a medium power igbt module package. In *Power Semiconductor Devices IC's (ISPSD), 2010 22nd International Symposium on*, pages 97–100, June 2010.
- [95] Sascha Pawel. *Integrierte Gatetreiber für IGBT-und MOS-Leistungssysteme*. PhD thesis, TU Ilmenau, 2006.
- [96] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, and Robert G. Meyer. *Analysis and Design of Analog Integrated Circuits*. John Wiley & Sons, fifth edition, 2009.
- [97] Markus Hermwille. IGBT Driver Calculation, 2007. @ONLINE, <http://www.semikron.com/dl/service-support/downloads/download/semikron->

- application-note-an-7004-igbt-drive-calculation-en-2007-10-31-rev00 Abruf: 13. November 2014.
- [98] SEMIKRON datasheet for. SEMIDRIVER SKiP37AC12T4V1. Datenblatt, 2011.
- [99] Iyead Mayya and Reinhard Herzer. Leistungshalbleiterschaltung. Patentschrift eingereicht am 24 Oktober 2014 beim DPA.
- [100] EPE report. SiC and GaN Enter Mainstream Applications. *Power Electronics Europe (PEE)*, (6):12–13, September 2009.
- [101] SemiSouth. datasheet for. normally-On Trench Silicon Carbide Power JFET. Datenblatt, 2011.
- [102] Luigi Abbatelli, Giuseppe Catalisano, Bettina Rubino, and Simone Buonomo. 1200V SiC MOSFET and N-off SiC JFET performances and driving in high power-high frequency power converter. In *Power Electronics/intelligent Motion/Renewable Energy and Energy Management, 2013. PCIM Europa*, pages 982–989. VDE VERLAG GMBH, may 2013.
- [103] Ralph Annacker and Reinhard Herzer. IGBT4 Technology Improves Application Performance. *Bodo's Power Systems®*, pages 30–32, June 2007.
- [104] Tobias Appel and Hans-Günter Eckel. Influence of Parasitic Inductances on the Switching Behavior of SiC JFET. In *Power Electronics/intelligent Motion/Renewable Energy and Energy Management, 2013. PCIM Europa*, pages 303–310. VDE VERLAG GMBH, may 2013.
- [105] Mietek Bakowski. Prospects and Development of Vertical normally-off JFETs in SiC. In *Telecomm. Inf. Technol.*, volume 4, pages 25–35, 2009.
- [106] Wolfgang Bergner, Fanny Bjoerk, Daniel Domes, and Gerald Deboy. Infineon's 1200V SiC-JFET - The New Way of Efficient and Reliable High Voltages Switching. Infineon. @ONLINE, http://www.infineon.com/dgdl/Infineon+-+Article+-+SiC_SiCJFET.pdf?folderId=db3a304314dca389011528372fbb12ac&fileId=db3a3043372d5cc801376f50964a3e6b Abruf: 13. November 2014.
- [107] Christoph Bokeloh. *Monolithisch integrierte Ansteuer- und Schutzkonzepte für Leistungsschalter in HVCMOS-Technologie*. PhD thesis, TU Ilmenau, 2001.

- [108] Narjes Boughrara. SiC-JFET Transistor in Current Limiting Regime and Short-Circuit Operation. *The Online Journal on Power and Energy Engineering OJ-PEE*, 1(1):95–98, July 2010.
- [109] Narjes Boughrara, Sabrine Moumen, Stephane Lefebvre, Zoubir Khatir, Peter Friedrichs, and Jean-Claude Faugieres. Robustness of SiC JFET in Short-Circuit Modes. *Electron Device Letters, IEEE*, 30(1):51–53, 2009.
- [110] Robert Callanan. Demonstration of 10kW SiC Half Bridge DC/DC Converter. *Power Electronics Europe (PEE)*, (5):28–32, August 2011.
- [111] Robert J. Callanan, Anant Agarwal, Al Burk, Marinal Das, Brett Hull, Fatima Husna, Adrian Powell, Jim Richmond, Sei-Hyung Ryu, and Qingchun Zhang. Recent progress in SiC DMOSFETs and JBS diodes at Cree. In *Industrial Electronics, 2008. IECON 2008. 34th Annual inproceedings of IEEE*, pages 2885–2890, nov. 2008.
- [112] Philippe Roussel. Power Electronics in Electric & Hybrid Vehicles. *Bodo's Power Systems®*, pages 22–23, December 2009.
- [113] Jeffrey B. Casady. SiC Power Devices and Modules Maturing Ravidly. *Power Electronics Europe (PEE)*, (1):16–19, January 2013.
- [114] Jian-Song Chen, K.T. Kornegay, and Sei-Hyung Ryu. A silicon carbide CMOS intelligent gate driver circuit with stable operation over a wide temperature range. *Solid-State Circuits, IEEE Journal of*, 34(2):192–204, February 1999.
- [115] M.S. Chinthavali, B. Ozpineci, and L.M. Tolbert. Temperature-dependent characterization of SiC power electronic devices. In *Power Electronics in Transportation, 2004*, pages 43–47, oct. 2004.
- [116] 1200V CoolSiC™ & Direct drive Technology. Infineon Technologies Austria AG, November 2012. @ONLINE, <http://www.infineon.com/dgdl/Infineon+-+Productbrief+-+1200V+CoolSiC+SiC+JFET+-+English.pdf?folderId=db3a304314dca389011528372fbb12ac&fileId=db3a3043372d5cc801374bc820173b87> Abruf: 13. November 2014.
- [117] Reinhard Herzer, Matthias Roßberg, and Bastian Vogler. Ansteuerschaltung mit TOP-Levelshifter zur Übertragung eines Eingangssignals und zugeordnetes Verfahren. Patentschrift DE102007006319A1, August 2008.

- [118] I.Koch and F.Hinrichsen. Siliziumkarbid-Halbleiterschalter. TU-Braunschweig, 2004. @ONLINE, https://www.tu-braunschweig.de/Medien-DB/imab/09-Jahresberichte/2004/06_Koch-Hinrichsen_2004.pdf Abruf: 13. November 2014.
- [119] Benjamin Wrzecionko, Dominik Bortis, and Johann W. Kolar. Novel Gate Driver for normally-off SiC-JFET and General High Temperature SiC Converter Technology. Präsentationen, 2012. @ONLINE, http://www.pes.ee.ethz.ch/uploads/tx_ethpublications/Presentation_Benjamin_Wrzecionko_01.pdf Abruf: 13. November 2014.
- [120] Nando Kaminski. *Unipolare Leistungsbaulemente in Siliziumkarbid*. PhD thesis, Universität Bremen, 2001.
- [121] R.J. Kaplar, M. J. Marinella, S. DasGupta, M. A. Smith, S. Atcitty, M. Sun, and T. Palacios. Characterization and reliability of SiC- and GaN-based power transistors for renewable energy applications. In *Energytech, 2012 IEEE*, pages 1–6, 2012.
- [122] Uwe Katzer. *Schaltungsentwicklung, Simulation und Entwurf von Ansteuer- und Überwachungs-ICs für eine IGBT-Halbbrücke*. PhD thesis, TU Ilmenau, 1999.
- [123] Johannes Krapp. Robust gegen Störungen . *Elektronik, Fachmedium für industrielle Anwender und Entwickler*, may 2011. @ONLINE, http://www.semikron.com/skcompub/de/Elektronik_2011_09_TITEL_Semikron.pdf Abruf: 01. April 2013.
- [124] Fritz J. Kub. Silicon carbide power device status and issue. In *Energytech, 2012 IEEE*, pages 1–5, 2012.
- [125] Pierre Lefranc and Dominique Bergogne. State of the art of dv/dt and di/dt control of insulated gate power switches. *Power Supply and Energy Management for Defence Applications*, pages 1–8, 2007.
- [126] Andrew Lemmon, Michael Mazzola, James Gafford, and Chris Parker. Gate-Drive Considerations for Silicon Carbide FET-Based Half-Bridge Circuits. In *Power Electronics/intelligent Motion/Renewable Energy and Energy Management, 2013. PCIM Europa*, pages 311–318. VDE VERLAG GMBH, may 2013.
- [127] Gang Liu, A.C. Ahyi, Yi Xu, T. Isaacs-Smith, Y.K. Sharma, J.R. Williams, L.C. Feldman, and S. Dhar. Enhanced Inversion Mobility on 4H-SiC Using

- Phosphorus and Nitrogen Interface Passivation. *Electron Device Letters, IEEE*, 34(2):181–183, 2013.
- [128] Gourab Majumdar and Tatsuo Oomori. Some Key Researches on SiC Device Technologies and their Predicated Advantages. *Power Electronics Europe (PEE)*, (6):18–22, September 2009.
- [129] Stefan Melly. Neues Ausgangsfilterkonzept für die Antriebstechnik. Schaffner, November 2002. @ONLINE, <http://www.schaffner.com/de/downloads/file-download/file/sinus-plus-output-filter-concept-for-power-drive-systems.html> Abruf: 13. November 2014.
- [130] G. Miller. New semiconductor technologies challenge package and system setups. In *Integrated Power Electronics Systems (CIPS), 2010 6th International Conference on*, pages 1–6, 2010.
- [131] Michael O’Neill. Mit SiC-DMOSFETs wird’s möglich 99% Wirkungsgrad beim Inverter. *all-electronics.de*, July 2008. <http://www.all-electronics.de/download/textmedia/6202/pr08-21-pvs-006.pdf> Abruf: 13. November 2014.
- [132] D. Okamoto, H. Yano, Kenji Hirata, T. Hatayama, and T. Fuyuki. Improved Inversion Channel Mobility in 4H-SiC MOSFETs on Si Face Utilizing Phosphorus-Doped Gate Oxide. *Electron Device Letters, IEEE*, 31(7):710–712, 2010.
- [133] K. Okumura, N. Hase, K. Ino, T. Nakamura, and M. Tanimura. Ultra Low On-Resistance SiC Trench Devices. *Power Electronics Europe (PEE)*, (4):22–25, June 2012.
- [134] Nathabhat Phankong, Tsuyoshi Funaki, and Takashi Hikiyara. Switching characteristics of lateral-type and vertical-type SiC JFETs depending on their internal parasitic capacitances. *IEICE Electronics Express*, 7(14):1051–1057, 2010.
- [135] A. Ong, J. Carr, J. Balda, and A. Mantooth. A Comparison of Silicon and Silicon Carbide MOSFET Switching Characteristics. In *Region 5 Technical inproceedings, 2007 IEEE*, pages 273–277, april 2007.
- [136] Burak Ozpineci, Madhu sudhan Chinthavali, and Leon M. Tolbert. Enhancing Power Electronic Devices With Wide Bandgap Semiconductors. In *FRONTIERS IN ELECTRONICS inproceedings of the WOFE-04*, pages pp 545–556, june 2004.

- [137] Achim Scharf. Silicon Carbide and Gallium Nitride Gain Acceptance. *Power Electronics Europe*, (8):5, December 2010. preprint (2010), ONLINE, <http://www.power-mag.com/pdf/issuearchive/42.pdf> Abruf: 13. November 2014.
- [138] Ulf Schwalbe and Tobias Reinmann. Einsatz von SiC-Bauelementen in der elektronischen Stromversorgungstechnik. In *Internationales Wissenschaftliches Kolloquium Technische Universität Ilmenau*, 51 st. Technische Universität Ilmenau, ISLE, September 2006.
- [139] Yogesh Kumar Sharma. *Advanced SiO₂/SiC Interface Passivation*. PhD thesis, Auburn University, 2012.
- [140] David C. Sheridan and Jeffrey B. Casady. Fast Switching 1200V normally-Off SiC VJFET Power Modules. *Power Electronics Europe (PEE)*, (8):31–33, December 2010.
- [141] W.-Toke Franke. Comparison of 1200V SiC Power Switching Devices. *Power Electronics Europe (PEE)*, (5):23–26, August 2012.
- [142] M.S. Shur, R. Gaska, A. Khan, and G. Simin. Wide band gap electronic devices. In *Devices, Circuits and Systems, 2002. inproceedings of the Fourth IEEE International Caracas inproceedings on*, pages D051–1–D051–8, 2002.
- [143] Ralf Siemienieć and Uwe Kirchner. The 1200V direct-driven SiC JFET power switch. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pages 1–10, 2011.
- [144] Nigel Springett. The Silicon Carbide JFET in 3 Phase Power Supplies. *Bodo's Power Systems*[®], pages 40–42, March 2011.
- [145] Simon M Sze and Kwok K Ng. *Physics of semiconductor devices*. Wiley-interscience, 2006.
- [146] M. Treu, R. Rupp, P. Blaschitz, K. Ruschenschmidt, T. Sekinger, P. Friedrichs, R. Elpelt, and D. Peters. Strategic Considerations for Unipolar SiC Switch Options: JFET vs. MOSFET. In *Industry Applications inproceedings, 2007. 42nd IAS Annual Meeting. inproceedings Record of the 2007 IEEE*, pages 324–330, sept. 2007.

- [147] Michael. Treu, Rupp. Rupp, and Gerald. Solkner. Reliability of SiC power devices and its influence on their commercialization - review, status, and remaining issues. In *Reliability Physics Symposium (IRPS), 2010 IEEE International*, pages 156–161, 2010.
- [148] Y.P. Varshni. Temperature dependence of the energy gap in semiconductors. *Physica*, 34(1):149–154, 1967.
- [149] Yee-Chia Yeo, Qiang Lu, and Chenming Hu. MOSFET Gate Oxide Reliability: Anode Hole Injection Model and its Applications. In *International Journal of High Speed Electronics and Systems*, volume 11, pages 849–886, No. 3 2001.
- [150] Xi Zhang, Daniel Domes, and Roland Rupp. Efficiency Improvement with Silicon Carbide Based Power Modules. *Power Electronics Europe (PEE)*, (6):24–27, September 2009.
- [151] Choo Mei Zhen. Keep Hybrid Powertrain Drives Noise Free by Rejecting dv/dt Noise with Isolated-Gate Drivers. Avagotech, 2011. @ONLINE, <http://www.avagotech.com/docs/AV02-3241EN> Abruf: 13. November 2014.
- [152] Jian-Song Chen, Sei-Hyung Ryu, and K.T. Kornegay. A silicon carbide CMOS intelligent gate driver circuit. In *Industry Applications Conference, 1998. Thirty-Third IAS Annual Meeting. The 1998 IEEE*, volume 2, pages 963–966 vol.2, 1998.
- [153] A. Mihaila, F. Udrea, R. Azar, J. Liang, G. Amaratunga, A. Rusu, and G. Brezeanu. Theoretical and numerical investigation of SiC JFET and MOSFET at 6.5 kV. In *Semiconductor Conference, 1999. CAS '99 Proceedings. 1999 International*, volume 1, pages 191–194 vol.1, 1999.
- [154] K. Haehre, M. Meisser, F. Denk, R. Kling, and W. Heering. Switching speed-control of an optimized capacitor-clamped normally-on Silicon Carbide JFET cascode. In *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International*, pages DS1a.11–1–DS1a.11–5, 2012.
- [155] R.L. Greenwell, B. M. McCue, L. Zuo, M.A. Huque, L.M. Tolbert, B.J. Blalock, and S.K. Islam. SOI-based integrated circuits for high-temperature power electronics applications. In *Applied Power Electronics Conference and Exposition (APEC), 2011 Twenty-Sixth Annual IEEE*, pages 836–843, 2011.
- [156] Marc Buschkühle and Daniel Domes. 1st SiC JFET Easy 1B Module. *Bodo's Power Systems®*, pages 28–29, July 2011.

- [157] K. Haehre, M. Meisser, F. Denk, and R. Kling. Characterization and comparison of commercially available silicon carbide (SiC) power switches. In *Power Electronics, Machines and Drives (PEMD 2012), 6th IET International Conference on*, pages 1–6, 2012.
- [158] A. Nakagawa, N. Yasuhara, and Y. Baba. New 500V output device structures for thin silicon layer on silicon dioxide film. In *Power Semiconductor Devices and ICs, 1990. ISPSD '90. Proceedings of the 2nd International Symposium on*, pages 97–101, 1990.
- [159] P. Wessels. Smart power technologies on SOI. In *VLSI Design, Automation and Test (VLSI-DAT), 2011 International Symposium on*, pages 1–2, 2011.
- [160] M. Münzer, W. Ademmer, B. Strzalkowski, and K.T. Kaschani. Insulated signal transfer in a half bridge driver IC based on coreless transformer technology. In *Power Electronics and Drive Systems, 2003. PEDS 2003. The Fifth International Conference on*, volume 1, pages 93–96 Vol.1, 2003.
- [161] Mark Münzer, W Ademmer, B Strzalkowski, and KT Kaschani. Coreless Transformer, a New Technology for Half Bridge Driver ICs. In *Power Electronics/intelligent Motion/Renewable Energy and Energy Management, 2013. PCIM Europa*, may 2003.
- [162] R. Kliger. Integrated transformer-coupled isolation. *Instrumentation Measurement Magazine, IEEE*, 6(1):16–19, 2003.
- [163] Baoxing Chen. iCoupler® Products with isoPower™ Technology: Signal and Power Transfer Across Isolation Barrier Using Microtransformers. *INTERFACE*, 1(C2):12mm, 2006.
- [164] Iyeed Mayya and Reinhard Herzer. New SiC-Transistors (JFET, MOSFET) in applicative comparison. In *40. Kolloquium Halbleiter-Leistungselemente und ihre systemtechnische Anwendung*, October 2011.
- [165] Iyeed Mayya and Reinhard Herzer. Comparison of SiC JFETs and SiC MOSFETs for 1200 V Power Switching Applications. In *57TH IWK. International Scientific Colloquium*, September 2012.
- [166] Bastian Vogler, Reinhard Herzer, Sven Buetow, Iyeed Mayya, and Susanne Becker. Advanced SOI Gate Driver IC with integrated V_{CE} -Monitoring and negative

Turn-off Gate Voltage for Medium Power IGBT Modules. In *ISPSD International Symposium on Power Semiconductor Devices and IC's, 2014*, pages 317–320, June 2014.

Abbildungsverzeichnis

2.1	Einfluss der physikalischen Eigenschaften von SiC und GaN	7
2.2	Ansteuerkonzept eines elektronischen Leistungshalbleiterschalters . . .	10
2.3	Querschnitte der heutigen verfügbaren SiC-Transistoren	13
2.4	Gate-Source Spannung des SiC-JFET	14
2.5	Darstellung der SiC-Transistoren ihre Schwell- und Gate-Spannungen .	16
2.6	Schaltungstopologie	17
2.7	Ausgangskennlinie des SiC-MOSFET I und SiC-LJFET	19
2.8	$R_{DS,on}$ -Verhalten mit der Temperatur für SiC-Transistoren	20
2.9	Kennlinie der Freilaufdioden des SiC-MOSFET I und des SiC-LJFET . .	20
2.10	Ein- und Ausschaltvorgänge von SiC-LJFET	21
2.11	Ein- und Ausschaltvorgänge von SiC-MOSFET	22
2.12	Verhalten von SiC-LJFET bzw. SiC-MOSFET im Kurzschluss I und II .	24
2.13	simulierter maximaler Umrichterstrom in Abhängigkeit von der Frequenz	25
2.14	Direkte Ansteuerung des SiC-MOSFET	26
2.15	Standard-Kaskode nach [46]	30
2.16	<i>Capacitor-Clamped</i> Kaskode	32
2.17	Kaskode-Light in zwei Varianten	34
2.18	Verschiedene Ansteuerszenarios A, B und C	36
2.19	Diskreter Treiber für die Ansteuerung der SiC-Bauelemente	43
2.20	Universeller Gatetreiber auf Leiterplatte	44
3.1	HV-PN-Technologie für 600V bzw. 1200V nach [77, 78]	46
3.2	Querschnitt dielektrischer Isolationstechnologien	47
3.3	Multi-Chip-Lösung aus [94] für 1200 V IGBT-Gatetreiber	49
4.1	Schaltplan des Kaskode-Light-Treibers	52
4.2	Massepotenziale der Primärseite und BOT- bzw. TOP-Sekundärseite . .	54
4.3	Versorgungsspannungen der BOT- bzw. TOP-Sekundärseite vom Gate- treiber	56

4.4	MV-Levelshifter	57
4.5	HV-Levelshifter	59
4.6	Schaltplan der BOT-Sekundärseite	60
4.7	Automatische <i>clamping</i> -Schaltung	62
4.8	Schaltplan der TOP-Sekundärseite	63
4.9	Betriebsszenarios der BOT- bzw. TOP-Kaskode-Schalter	65
4.10	Schaltplan des Signalanpassungsblocks für die BOT-Sekundärseite.	67
4.11	Simulierte Signale des Signalanpassungsblocks für die BOT- Sekundärseite	68
4.12	Schaltplan des Signalanpassungsblocks für die TOP-Sekundärseite	70
4.13	Simulierte Signale des Signalanpassungsblocks für die TOP- Sekundärseite	71
4.14	Erweiterung des Signalanpassungsblocks	72
4.15	Simulierte Signale des erweiterten Signalanpassungsblocks	73
4.16	Schaltplan des Fehlerverarbeitungsblocks für die BOT-Sekundärseite	75
4.17	Simulierte Signale des Fehlerblocks für BOT-Sekundärseite	76
4.18	Überwachung der Abschaltspannung für BOT- und TOP-Sekundärseite	77
4.19	modifizierter Widlar-Implementierung	78
4.20	Simuliertes Problem der <i>Widlar-bandgap</i> -Referenz	79
5.1	1200 V Halbbrücken-Treiber-ICs im Gehäuse	84
5.2	Chipfotos	85
6.1	Signallaufzeit und Querverriegelung	88
6.2	Unterdrückung ungültiger Kurzimpulse	88
6.3	Messung von Gateabschaltspannung bzw. Betriebsspannungsüberwachung	89
6.4	Schaltverhalten des SiC-MOSFET bei $U_{ZK}=950\text{ V}$ und $I_{DS}=20\text{ A}$	92
6.5	Schaltverhalten des Si-IGBT bei $U_{ZK}=600\text{ V}$ und $I_{CE}=100\text{ A}$	93
6.6	Einschalten des BOT-IGBT mit parasitärem Einschalten des TOP-IGBT	93
6.7	Schaltmessungen der Kaskode-Light-Anordnung SiC-LJFET + PMOS	94
6.8	SiC-MOSFET-Treiber im Umrichterbetrieb	95
6.9	Mögliche Freilaufpfade in Kaskode-Schaltungen	97
6.10	Messungen des Freilaufverhaltens in Kaskode-Schaltungen	97
6.11	Messung des Gateabschaltspannung in der Kaskode-Light	99
6.12	Mögliche Überwachung des Kurzschlusses der Kaskode-Light	101

Tabellenverzeichnis

2.1	Si, SiC- und GaN-Eigenschaften	6
2.2	Statische Parameter der SiC-Bauelemente und IGBT 4	18
2.3	Dynamische Parameter der SiC-Bauelemente und IGBT4	23
6.1	Stromaufnahme für SiC-LJFET- und SiC-MOS-FET-Treiber	90
A.1	Die Potenzialtrennungskonzepte für Signalübertragung	143
A.2	Die Potenzialtrennungskonzepte für Energieübertragung	143

Abkürzungsverzeichnis und Formelzeichen

+DC	positive Zwischenkreisspannung
−DC	negative Zwischenkreisspannung
τ	Zeitkonstante
v_{sat}	Geschwindigkeitssättigung des Elektrons
ε_r	dielektrische Konstante
2DEG	<i>Two-Dimensional Elektron Gas</i> , zweidimensionales Elektronen- gas
_ERRIN	low-aktiver Fehlereingang des Gatetreibers
_ERROUT	low-aktiver Fehlerausgang des Gatetreibers
_RESET	low-aktiver bidirektionaler Pin
$\varphi_{(I_{(U)}, I_{(V)})}$	Phasenverschiebung zwischen $I_{(U)}$ und $I_{(V)}$
μC	<i>MicroController</i>
μ_n	Elektronenbeweglichkeit
μ_p	Löcherbeweglichkeit
A_{aktiv}	aktive Fläche des Leistungstransistors
A_{chip}	Chipfläche des Leistungstransistors
A_{gesamt}	gesamte Fläche des Leistungstransistors
$A_{\text{JFET,aktiv}}$	aktive Fläche des JFET-Leistungstransistors
$A_{\text{MOS,aktiv}}$	aktive Fläche des MOSFET-Leistungstransistors
BCD	Eine Technologie, welche die Bipolar-, CMOS- und DMOS- Technologie kombiniert
BiCMOS	Eine Technologie, welche die Bipolar- und CMOS-Bauelemente kombiniert

BJT	<i>Bipolar Junction Transistor</i>
BOT	Der untere Schalter einer Leistungshalbbrücke; gegen -DC arbeitende Schaltungsteile
BOX	<i>Buried Oxide</i> , vergrabenes Oxid
C, C _{out}	Kapazität (Allgemein)
C _{DS} , C _{DS,j} , C _{DS,m} ...	Drain-Source Kapazität
C _{GD} , C _{GD,j} , C _{GD,m} ..	Gate-Drain Kapazität
C _{GS} , C _{GS,j} , C _{GS,m} ...	Gate-Source Kapazität
C _{HS}	<i>High Side</i> -Kapazität, die zwischen den <i>high side</i> -Bauelementen und der Metallisierung zum <i>handle wafer</i> des <i>high side</i> -ICs wirkt
C _{LS}	<i>Low Side</i> -Kapazität, die zwischen Schaltungsteilen auf Zwischenpotential und Massepotential beim 1200 V-Halbbrückentreiber wirkt
D	Diode
D _m , D _j	Drainanschluss des MOSFET- bzw. JFET
DCB	<i>Direct Copper Bonding</i>
di/dt	Stromänderungsgeschwindigkeit
DMOS	MOS-Transistor mit einem Driftgebiet für die MV- und HV-Bereiche
DOX	<i>Drift Oxide</i>
DSP	<i>Digital Signal Processor</i> , digitaler Signalprozessor
du/dt	Spannungsänderungsgeschwindigkeit
E _g	Energie der Bandlücke
E _{off}	Ausschaltverlustenergie des Leistungstransistors
E _{on}	Einschaltverlustenergie des Leistungstransistors
E _{rr}	Ausschaltverlustenergie einer Freilaufdiode
E _{SC}	maximale Verluste in der Kurzschlusszeit t _{sc}
ESBT	<i>Emitter-Switched Bipolar Transistor</i>
ESD	<i>Electrostatic Discharge</i> , elektrostatische Entladung
f	Frequenz
F _c	Durchbruchfeldstärke
f _{OUT}	Frequenz des Ausgangsstroms
f _{SW}	Schaltfrequenz

FLD	<i>Freewheeling Diode</i> , Freilaufdiode
G _{HV2}	Gateanschluss des oberen HV-Transistors HV ₂ beim 1200 V-Levelshifter (Zwischenpotential)
G _m , G _j	Gateanschluss des MOSFET- bzw. JFET
GaN	<i>Gallium Nitrid</i>
GND	Bezugspotential der Primärseite bzw. des Leistungssystems
Gnd-off	Bezugspotential für einige Schaltungsteile in der BOT- bzw. TOP-Sekundärseite
Gnd-on	Bezugspotential für einige Schaltungsteile in der BOT- bzw. TOP-Sekundärseite
GTO-Kaskode	<i>Gate Turn Off-Cascode</i>
HEMT	<i>High-Electron-Mobility Transistor</i>
HV	<i>High Voltage</i> , Hochspannungsbereich (hier größer 100 V)
HV-LDMOS	<i>High Voltage Laterally-DMOS</i>
HV-LDMOS	<i>High Voltage-DMOS</i>
HVIC	<i>High Voltage Integrated Circuit</i> , Hochspannungsschaltkreis
HW	<i>Handle Wafer</i> , Trägerwafer (SOI-Technologie)
HW _{HS}	<i>Handle Wafer</i> des <i>high side</i> -ICs
HW _{LS}	<i>Handle Wafer</i> des <i>low side</i> -ICs
I _(U) , I _(V) , I _(W)	Ausgangsströme der Phasen U, V, W beim Umrichter
I _{AMP}	Amplitude des Stromsignals
I _{C,max}	maximaler Kollektor-Strom (IGBT)
I _{CE}	Kollektor-Emitter-Strom (IGBT)
I _C	Kollektor-Strom (IGBT)
I _{DS,max}	maximaler Drain-Source-Strom
I _{DS}	Drain-Source-Strom
I _D	Drain-Strom
I _{FL}	fließender Strom in einer Freilaufdiode
I _F	Durchlassstrom einer Freilaufdiode
I _G	Gate-Strom
I _{nom}	Nominalstrom
I _{RMS}	Effektivwert des Stromsignals

$I_{SC,max}$	maximaler Kurzschlussstrom
I_S	Source-Strom
IC	<u>I</u> ntegrated <u>C</u> ircuit, integrierter Schaltkreis
IGBT, IGBT4	<u>I</u> nsulated <u>G</u> ate <u>B</u> ipolar <u>T</u> ransistor, 4 steht für die vierte Generation
IIF	<u>I</u> nput <u>I</u> nterface, Eingangsschnittstelle
ITRIP	Eingang bzw. Signal für die Behandlung des Laststromfehlers nach Shunt-Prinzip
JFET	<u>J</u> unction <u>F</u> ield <u>E</u> ffect <u>T</u> ransistor
K	Wärmeleitfähigkeit
k	Boltzmann Konstant
KIU	<u>K</u> urz <u>i</u> mpuls <u>u</u> nterdrückung
KS	<u>K</u> urz <u>s</u> chluss
L	Induktivität (Allgemein)
$L_D, L_{D,j}, L_{D,m}$	parasitäre Induktivitäten im Lastkreis
$L_G, L_{G,j}, L_{G,m}$	parasitäre Induktivitäten im Ansteuerkreis
$L_S, L_{S,j}, L_{S,m}, L_T$...	parasitäre Induktivitäten im Ansteuerkreis
LOCOS	<u>L</u> ocal <u>O</u> xidation of <u>S</u> ilicon
LV, NV	<u>L</u> ow <u>V</u> oltage, Niederspannungsbereich
Mini-Skiip	Modulgehäuse der Firma Semikron
MOSFET	<u>M</u> etal <u>O</u> xide <u>S</u> emiconductor <u>F</u> ield <u>E</u> ffect <u>T</u> ransistor
MOSFET-FCT	MOSFET- <u>F</u> ield <u>C</u> ontrolled <u>T</u> hystors
MV	<u>M</u> edium <u>V</u> oltage, Mittelspannungsbereich hier einige 10 V
MV-NMOS	<u>M</u> edium <u>V</u> oltage- <u>N</u> -Kanal <u>M</u> OSFET
MV-PMOS	<u>M</u> edium <u>V</u> oltage- <u>P</u> -Kanal <u>M</u> OSFET
N_C	Zustandsdichten im Leitungsband
n_i	intrinsische Trägerdichte
N_V	Zustandsdichten im Valenzband
n^+	hoch dotiertes N-Gebiet im Halbleiter
n^-	niedrig dotiertes N-Gebiet im Halbleiter
P14_120	Luftkühlung
p^+	hoch dotiertes P-Gebiet im Halbleiter

p^-	niedrig dotiertes P-Gebiet im Halbleiter
PCB	<i>Printed Circuit Board</i>
POR	<i>Power On Reset</i> , Einschaltinitialisierung
PWM	<i>Puls-Width Modulation</i> , Pulsweitenmodulation
Q_{GD}	Ladung der Gate-Drain-Kapazität
Q_{GS}	Ladung der Gate-Source-Kapazität
R	Widerstand (Allgemein)
R_{ch}	Kanalwiderstand des Leistungstransistors
$R_{DS,on}$	Einschaltwiderstand der <i>medium voltage</i> und <i>high voltage</i> Transistor
$R_{G,off}$	Gatevorwiderstand eines Leistungstransistors beim Ausschalten
$R_{G,on}$	Gatevorwiderstand eines Leistungstransistors beim Einschalten
R_G	Gatevorwiderstand eines Leistungstransistors
R_{th}	thermischer Widerstand
RESURF	<i>Reduced Surface Field</i>
RT	<i>Raumtemperatur</i>
S_1	Leistungsschalter einer Halbbrücke
S_2	Leistungsschalter einer Halbbrücke
S_{HV2}	Sourceanschluss des oberen HV-Transistors HV_2 beim 1200 V-Levelshifter
S_m, S_j	Sourceanschluss des MOSFET- bzw. JFET
Si	<i>Silicon</i>
SiC	<i>Silicon Carbide</i>
SiC-BJT	<i>Silicon Carbide Bipolar Junction Transistor</i>
SiC-JFET	<i>Silicon Carbide Junction Field Effect Transistor</i>
SiC-LJFET	SiC-JFET <i>with lateral channel</i>
SiC-MOSFET	<i>Silicon Carbide MOS-Transistor</i>
SiC-VJFET	SiC-JFET <i>with vertical channel</i>
SIMOX	<i>Separation by Implantation of Oxygen</i>
SMPS	<i>Switched Mode Power Supply</i> , Schaltnetzteil
SOI	<i>Silicon On Insulator</i> , Halbleitertechnologie
T	Temperatur

T_{am}	<i>ambient temperature</i> , Umgebungstemperatur
$t_{\text{d,off}}$	Ausschaltverzögerungszeit eines Leistungsbauelements
T_{jmax}	maximale Sperrschichttemperatur
t_{off}	Ausschaltzeit eines Leistungsbauelements
t_{on}	Einschaltzeit eines Leistungsbauelements
t_{sc}	Kurzschlusszeit
TK	<u>T</u> emperatur <u>k</u> oeffizient
TOP	Der obere Schalter einer Leistungshalbbrücke; gegen +DC arbeitende Schaltungsteile
$U_{(U)}, U_{(V)}, U_{(W)}$	Ausgangsspannungen der Halbbrücken U, V, W beim Umrichter
U_{bandgap}	<i>bandgap</i> -Spannung
U_{offset}	Offsetspannung
U_{BR}	Durchbruchspannung
$U_{\text{CE,max}}$	maximale Kollektor-Emitter-Spannung (IGBT)
$U_{\text{CE,sat}}$	Sättigungsflussspannung (BJT, IGBT)
U_{CE}	Kollektor-Emitter-Spannung (IGBT)
U_{DG}	Drain-Gate-Spannung (MOS,JFET)s
$U_{\text{DS,max}}$	maximale Drain-Source-Spannung (MOS,JFET)
$U_{\text{DS,ref}}, U_{\text{SD,ref}}$	Referenzspannung für die Kurzschlussüberwachung
$U_{\text{DS}}, U_{\text{DS,mos}}$	Drain-Source-Spannung (MOS,JFET)
U_{FL}	fallende Spannung über eine Freilaufdiode
$U_{\text{F}}, U_{\text{F,mos}}$	Durchlassspannung (Diode)
U_{GE}	Gate-Emitter-Spannung (IGBT)
$U_{\text{GS,max}}$	maximale Gate-Source-Spannung (MOS,JFET)
$U_{\text{GS}}, U_{\text{GS,jfet}}$	Gate-Source-Spannung (MOS,JFET)
U_{G}	Gate-Potential
U_{off}	Gateabschaltspannung
U_{on}	Gateeinschaltspannung
U_{pi}	<i>pinch-off voltage</i> , Abschnürspannung
$U_{\text{PN,on}}$	Schwellspannung des PN-Übergangs
U_{pt}	<i>punch-through</i> -Spannung
U_{ref}	Referenzspannung

U_{SP}	<i>V</i> oltage <i>S</i> witching <i>P</i> oint
U_S	Bezugspotential bzw. Source-Potential
U_{th}	Gate-Schwellspannung (MOS, IGBT, JFET)
U_{ZK}	Zwischenkreisspannung
UVLO	<i>U</i> ndervoltage <i>L</i> ockout, Betriebsspannungsüberwachung
VDD	Betriebsspannungspotential der Primärseite
Vdd-off	Betriebsspannungspotential für einige Schaltungsteile in der BOT- bzw. TOP-Sekundärseite
Vdd-on	Betriebsspannungspotential für einige Schaltungsteile in der BOT- bzw. TOP-Sekundärseite
VLD	<i>V</i> ariation of <i>L</i> ateral <i>D</i> oping

Anhang

A Informationstabellen

Potentialtrennung	transformatorisch	optisch	optisch	keine
System	Impulsübertrager	Optokoppler	Lichtwellenleiter	Levelshifter
Leistungsmodule bis	>1700 V	1700 V	>1700 V	1200 V
Übertragungsrichtungen	bidirektional	unidirektional	uni-/bidirektional	unidirektional
Tastverhältnisbegrenzung	ja	nein	nein	nein
Koppelkapazität	5...20 pF	1...5 pF	<1 pF	>20 pF
dv/dt-Festigkeit	hoch	niedrig	hoch	niedrig
Kosten	mittel	niedrig	hoch	niedrig

Tabelle A.1: Die heute verwendeten Potenzialtrennungskonzepte für Signalübertragung mit ihren Eigenschaften im Vergleich aus [29, S. 189]

Potentialtrennung	transformatorisch			keine
System	50 Hz-Versorgung	Schaltnetzteil		<i>bootstrap</i> -Schaltung
Versorgung aus	Hilfs- oder Netzspannung	Hilfsspannung	Zwischenkreis	BOT-seitige Betriebsspannung
AC-Frequenz	niedrig	sehr hoch	mittel	mittel
Glättungsaufwand	groß	sehr klein	klein	klein
für Leistungsmodule	1200 V	>1700 V	1700 V	1200 V
Ausgangsspannung	positiv und negativ			nur positiv
Tastverhältnisbegrenzung	nein	nein	nein	ja
Koppelkapazität	hoch	niedrig	mittel	niedrig
Funkstöraussendung	kein	hoch	niedrig	keine
Kosten	niedrig	niedrig	hoch	sehr niedrig

Tabelle A.2: Die heute verwendeten Potenzialtrennungskonzepte für Energieübertragung mit ihren Eigenschaften im Vergleich aus [29, S. 189]

